

日本国特許庁
JAPAN PATENT OFFICE

#3 38-02
Priority Papers



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 5月31日

出願番号

Application Number:

特願2001-165589

出願人

Applicant(s):

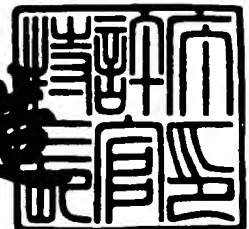
富士通株式会社
富士通周辺機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0195090

【提出日】 平成13年 5月31日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G11B 11/00

【発明の名称】 データ再生装置に用いられるクロック調整装置、オフセット検出装置及びデータ再生装置

【請求項の数】 5

【発明者】

 【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

 【氏名】 濱田 研一

【発明者】

 【住所又は居所】 兵庫県加東郡社町佐保 3 5 番 富士通周辺機株式会社内

 【氏名】 古田 聡

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 柳 茂知

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 592019877

 【氏名又は名称】 富士通周辺機株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【包括委任状番号】 9708941

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 データ再生装置に用いられるクロック調整装置、オフセット検出装置及びデータ再生装置

【特許請求の範囲】

【請求項 1】 記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパシカルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置におけるクロック調整装置において、

基準レベルを基準にした再生信号の第一のエッジでのサンプリング値の状態に基づいてクロックの位相誤差量を検出する位相誤差検出手段と、

再生信号のオフセット量を検出するオフセット検出手段と、

該オフセット検出手段にて検出されたオフセット量に基づいて上記位相誤差量検出手段にて用いられる基準レベルを調整する基準レベル調整手段と、

上記位相誤差検出手段にて検出された位相誤差量に基づいてクロックの位相調整を行なう位相調整手段とを有し、

上記オフセット検出手段は、

再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記監視サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段とを有するクロック調整装置。

【請求項 2】 請求項 1 記載のクロック調整装置において、

上記第一のエッジは、再生信号の立上がりエッジであり、

上記第二のエッジは、再生信号の立下りエッジであるクロック調整装置。

【請求項 3】 請求項 1 または 2 記載のクロック調整装置において、

複数のサンプリング値の変化の状態に基づいて位相誤差量を検出する手段と、

該手段にて検出された位相誤差量に基づいてクロックの位相調整がなされた後に、上記位相誤差検出手段にて得られた位相誤差量に基づいてクロックの位相調

整がなされるように、上記位相調整手段を制御する位相誤差切換え制御手段を有するクロック調整装置。

【請求項4】記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置において、上記再生信号のオフセットを検出するオフセット検出装置において、

再生信号の第一のエッジに位相調整されるクロックに同期して当該再生信号がサンプリングされる際に、該再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量を再生信号のオフセット量として演算するオフセット演算手段とを有するオフセット検出装置。

【請求項5】記録媒体からの再生信号の第一のエッジに位相調整されるクロックに同期して当該再生信号をサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なう第一の処理部と、上記再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジに位相調整されるクロックに同期して当該再生信号をサンプリングし、そのサンプリング値を用いて上記最尤アルゴリズムに従ってデータの復元を行なう第二の処理部とを有するデータ再生装置において、

上記第一の処理部は、

再生信号の上記第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段と、

該オフセット演算手段にて得られたオフセット量を上記第二の処理部に供給する手段とを有し、

上記第一の処理部及び第二の処理部が、上記再生信号及び上記オフセット量とに基づいてデータの復元を行なうようにしたデータ再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光ディスク装置、磁気ディスク装置等のデータ再生装置におけるクロック調整装置に係り、詳しくは、記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値に基づいて記録データを復元するようにしたデータ再生装置に用いられる上記クロックの位相を調整するためのクロック調整装置に関する。

【0002】

また、本発明は、そのようなクロック調整装置に用いることのできるオフセット検出装置に関する。

【0003】

更に、本発明は、そのようなオフセット検出装置が適用されるデータ再生装置に関する。

【0004】

【従来の技術】

近年、記録媒体、例えば、光磁気ディスクは記録情報の高密度化が進み、その光磁気ディスクの再生系におけるデータの転送レートの向上も図られている。このように情報の高密度記録された光磁気ディスクから高速、かつ高精度に情報再生を行なう方法として、PRMLの記録再生方法が提案されている。

【0005】

このPRMLの記録再生方法では、記録すべきデータをパーシャルレスポンス（PR）波形の信号にて光磁気ディスクに書込み、その光磁気ディスクからの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値から最尤（ML）復号アルゴリズム（例えば、ビタビ復号アルゴリズム）に従って最も確からしいデータの復元を行なう。

【0006】

上記 P R M L の記録再生方法を前提としたデータ再生装置（例えば、光ディスク装置）では、記録媒体、例えば、光磁気ディスクからの再生信号をクロックに同期してサンプリングし、そのサンプリング値がパーシャルレスポンス波形を特徴付ける値（例えば、P R (1,1) 波形の場合、ピーク値（2）、中心値（1）、ボトム値（0））となるようにそのクロックの位相を調整する必要がある。

【 0 0 0 7 】

従来から知られるクロック調整装置は、例えば、再生信号を所定のスライスレベルで二値化し、P L L 回路によりその二値化信号の立上がりエッジ（Leading edge）または立下りエッジ（trailing edge）に同期するようにクロックの位相調整を行なう。このような位相調整装置によれば、再生信号の立上がりエッジまたは立下りエッジに同期するようにクロックの位相調整がなされる。

【 0 0 0 8 】

【発明が解決しようとする課題】

上記のようなクロック信号の位相調整は、再生信号とクロックとの関係（例えば、再生信号の立上がりエッジの位相とクロックの位相との関係）に基づいてクロックの位相誤差量を求め、その位相誤差量がなくなるようにクロックの位相を調整する。従って、再生信号に局所的な歪み、あるいは、全体的なレベル変動（エンベロップ変動）があると、安定した位相調整を行なうことができない。

【 0 0 0 9 】

そこで、本発明の第一の課題は、安定した位相調整を行なうことのできるクロック調整装置を提供することである。

【 0 0 1 0 】

また、本発明の第二の課題は、そのようなクロック調整装置に用いることのできるオフセット検出装置を提供することである。

【 0 0 1 1 】

また、本発明の第三の課題は、そのオフセット検出装置が適用されるデータ再生装置を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

上記第一の課題を解決するため、本発明は、請求項 1 に記載されるように、記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置におけるクロック調整装置において、基準レベルを基準にした再生信号の第一のエッジでのサンプリング値の状態に基づいてクロックの位相誤差量を検出する位相誤差検出手段と、再生信号のオフセット量を検出するオフセット検出手段と、該オフセット検出手段にて検出されたオフセット量に基づいて上記位相誤差量検出手段にて用いられる基準レベルを調整する基準レベル調整手段と、上記位相誤差検出手段にて検出された位相誤差量に基づいてクロックの位相調整を行なう位相調整手段とを有し、上記オフセット検出手段は、再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、所定タイミングにて得られる監視エッジサンプリング値を基準とした上記監視サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段とを有するように構成される。

【0013】

このようなクロック調整装置では、再生信号の全体的なレベルが変動しても、そのオフセット量に基づいて位相誤差検出手段での基準レベルが調整されるので、より適正な位相誤差量を得ることができるようになる。

【0014】

また、サンプリング値に基づいて生成される監視エッジサンプリング値の変化に基づいてオフセット量が演算されるので、デジタル的な処理にてそのオフセット量を得ることが可能となる。

【0015】

上記監視エッジサンプリング値は、サンプリング値そのものであっても、複数のサンプリング値の大まかなレベルを表すものであってもよい。サンプリング値の急激な変動によってオフセット値が影響を受けないという観点からは、この監視エッジサンプリング値は、複数のサンプリング値を平均化した値などそれらの

サンプリング値の大まかなレベル表すものであることが好ましい。

【 0 0 1 6 】

請求項 2 に記載されるように、上記第一のエッジは、再生信号の立上がりエッジであり、上記第二のエッジは、再生信号の立下りエッジであるように構成することができる。

【 0 0 1 7 】

クロックの位相が大きくはずれている位相調整の初期段階から安定した位相調整ができるとう観点から、本発明は、請求項 3 に記載されるように、上記各クロック調整装置において、複数のサンプリング値の変化の状態に基づいて位相誤差量を検出する手段と、該手段にて検出された位相誤差量に基づいてクロックの位相調整がなされた後に、上記位相誤差検出手段にて得られた位相誤差量に基づいてクロックの位相調整がなされるように、上記位相調整手段を制御する位相誤差切換え制御手段を有するように構成できる。

【 0 0 1 8 】

本発明の第二の課題を解決するため、本発明は、請求項 4 に記載されるように、記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置において上記再生信号のオフセットを検出するオフセット検出装置において、再生信号の第一のエッジに位相調整されるクロックに同期して当該再生信号がサンプリングされる際に、該再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量を再生信号のオフセット量として演算するオフセット演算手段とを有するように構成される。

【 0 0 1 9 】

また、本発明の第三の課題を解決するため、本発明は、請求項 5 に記載されるように、記録媒体からの再生信号の第一のエッジに位相調整されるクロックに同

期して当該再生信号をサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なう第一の処理部と、上記再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジに位相調整されるクロックに同期して当該再生信号をサンプリングし、そのサンプリング値を用いて上記最尤アルゴリズムに従ってデータの復元を行なう第二の処理部とを有するデータ再生装置において、上記第一の処理部は、再生信号の上記第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段と、該オフセット演算手段にて得られたオフセット量を上記第二の処理部に供給する手段とを有し、上記第一の処理部及び第二の処理部が、上記再生信号及び上記オフセット量とに基づいてデータの復元を行なうように構成される。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【 0 0 2 1 】

本発明の実施の一形態に係るクロック調整装置が適用されるデータ記録再生装置は、例えば、図 1 に示すように構成される。この例は、記録媒体として光磁気ディスクを使用する光ディスク装置である。

【 0 0 2 2 】

図 1 において、この光ディスク装置は、記録媒体となる光磁気ディスク 1 0、この光磁気ディスク 1 0 を回転させるモータ 1 1、このモータ 1 1 の駆動制御を行うサーボ回路 1 2 を有している。また、この光ディスク装置は、光学ヘッド 1 3、ヘッドアンプ 1 4、書込み系 2 0、再生系 3 0、制御ユニット 2 0 0 及びインタフェース回路 2 1 0 を有している。

【 0 0 2 3 】

制御ユニット 2 0 0 は、サーボ回路 1 2、書込み系 2 0 及び再生系 3 0 を制御

する。具体的には、制御ユニット 2 0 0 は、光磁気ディスク 1 0 が一定速度で回転するように駆動制御信号をサーボ回路 1 2 に供給し、その駆動制御信号に基づいてサーボ回路 1 2 がモータ 1 1 を駆動させる。また、制御ユニット 2 0 0 は、外部ユニット（PC など）からインタフェース回路 2 1 0 を介して入力されるデータを書込み系 2 0 に供給し、書込み系 2 0 がそのデータに基づいて光学ヘッド 1 3 を制御することにより光磁気ディスク 1 0 にデータの記録がなされる。

【 0 0 2 4 】

更に、再生系 3 0 は、制御ユニット 2 0 0 による制御のもと、光学ヘッド 1 3 にて光磁気ディスク 1 0 から読取られる信号をヘッドアンプ 1 4 を介して再生信号として入力し、その再生信号から記録データの復元を行なう。再生系 3 0 にて得られたデータは、制御ユニット 2 0 0 に供給され、その制御ユニット 2 0 0 から更にインタフェース回路 2 1 0 を介して外部ユニットに供給される。

【 0 0 2 5 】

上記再生系 3 0 は、立上がり処理部 4 0 と立下り処理部 5 0 を有する。立上がり処理部 4 0 は、再生信号の立上がりエッジに同期したクロックに同期して再生信号のサンプリングを行ない、そのサンプリング値に基づいて記録データの復元を行なう。立下り処理部 5 0 は、再生信号の立下りエッジに同期したクロックに同期して再生信号のサンプリングを行ない、そのサンプリング値に基づいて記録データの復元を行なう。

【 0 0 2 6 】

上記立上がり処理部 4 0 は、アナログ・デジタル変換回路（以下、ADC という）4 1、等化器（以下、EQ という）4 2、ビタビ復号器 4 3、位相誤差検出部 4 4、デジタル・アナログ変換回路（以下、DAC という）4 5 及び位相調整発振ユニット 4 6 を有する。また、立下り処理部 5 0 も、上記立上がり処理部 4 0 と同様に、ADC 5 1、EQ 5 2、ビタビ復号器 5 3、位相誤差検出部 5 4、DAC 5 5 及び位相調整発振ユニット 5 6 を有する。

【 0 0 2 7 】

ADC 4 1、5 1 は、位相調整発振ユニット 4 6、5 6 からのクロックに同期して変換動作を行い、その変換動作により得られた値をサンプリング値として出

力する。等化器 4 2、5 2 は、ADC 4 1、5 1 からのサンプリング値に対してデジタル等化処理を施す。ビタビ復号器 4 3、5 3 は、等化器 4 2、5 2 を介して供給されるサンプリング値をビタビ復号アルゴリズムに従って処理し、記録データとして最も確からしいデータの復元を行なう。

【0028】

位相誤差検出部 4 4 は、ADC 4 1 及び EQ 4 2 のそれぞれからのサンプリング値を順次入力し、そのいずれかのサンプリング値を用いて後述するように再生信号の立上がりエッジを基準とした位相誤差量を検出する。また、位相誤差検出部 5 5 は、ADC 5 1 及び EQ 5 2 のそれぞれからのサンプリング値を順次入力し、そのいずれかのサンプリング値を用いて再生信号の立下りエッジを基準とした位相誤差量を検出する。位相誤差量検出部 4 4、5 4 にて検出されたクロックの位相誤差量は、DAC 4 5、5 5 によって電圧レベル（アナログ値）に変換される。位相調整発振ユニット 4 6、5 6 は、ループフィルタ（LF）及び電圧制御発信器（VCO）を有し、DAC 4 5、5 5 からの位相誤差量に対応した電圧レベルによりその位相誤差量を低減するように所定の発振クロックの位相調整を行なう。位相調整発振ユニット 4 6 にて再生信号の立上がりエッジに同期するように位相調整されたクロックが上述したように再生信号のサンプリングを行なう ADC 4 1 に供給される。また、位相調整発振ユニット 5 6 にて再生信号の立下りエッジに同期するように位相調整されたクロックがその再生信号のサンプリングを行なう ADC 5 1 に供給される。

【0029】

上記立上がり処理部 4 0 の位相誤差検出部 4 4 は、後述するように、再生信号のオフセット量を検出している。このオフセット量は、当該位相誤差検出部 4 4 における処理に用いられると共に、位相誤差検出部 4 4 から立下り処理部 5 0 の位相誤差検出部 5 4 に供給される。立下り処理部 5 0 の位相誤差検出部 5 4 は、その供給されるオフセット量を用いて処理を行なう。

【0030】

上記オフセット量は、再生信号の全体的なレベルの変動（エンベロープ変動）を表し、各位相誤差検出部 4 4、5 4 は、そのオフセット量を用いて処理を行な

うことにより、再生信号の全体的なレベル変動が生じて、安定的な位相誤差検出が行なえるようになっている。

【0031】

上記立上がり処理部40及び立下り処理部50の各位相誤差検出部44及び54は、例えば、図2に示すように構成される。

【0032】

図2において、立上がり処理部40の位相誤差検出部44は、第一の位相誤差演算回路61、中心値計算回路62、加算器63、64、第二の位相誤差演算回路65、エッジ検出回路66、出力制御回路67、オフセット検出回路68及びゲイン調整回路69を有している。

【0033】

第一の位相誤差演算回路61は、ADC41から供給される連続する複数（例えば、3つ）のサンプリング値の変化の状態に基いて再生信号のサンプリングタイミングを決めるクロックの位相誤差量を演算する。例えば、再生信号がPR（1,1）波形の2Tパターン（ピーク値（2）、中心値（1）、ボトム値（0）の繰り返し）となる場合、図3に示すように、連続する3つのサンプリング値の前2つ Y_{t-2} と Y_{t-1} との差（ $Y_{t-1}-Y_{t-2}$ ）と、後2つ Y_{t-1} と Y_t との差（ Y_t-Y_{t-1} ）とに基づいて位相誤差量を

$$\text{位相誤差量} = (Y_{t-1} - Y_{t-2}) \times H1 - (Y_t - Y_{t-1}) \times H2$$

$$H1 = +1 \quad (Y_t - Y_{t-1} > 0 \text{ の場合})$$

$$= 0 \quad (Y_t - Y_{t-1} = 0 \text{ の場合})$$

$$= -1 \quad (Y_t - Y_{t-1} < 0 \text{ の場合})$$

$$H2 = +1 \quad (Y_{t-1} - Y_{t-2} > 0 \text{ の場合})$$

$$= 0 \quad (Y_{t-1} - Y_{t-2} = 0 \text{ の場合})$$

$$= -1 \quad (Y_{t-1} - Y_{t-2} < 0 \text{ の場合})$$

に従って演算する。例えば、クロックが本来サンプリングされるべき位相（T、T-1、T-2）となる場合（位相ロックの状態）、サンプリング値は図3の○印となり、

$$(Y_{T-1} - Y_{T-2}) = (Y_T - Y_{T-1})$$

であって、位相誤差量はゼロとなる。一方、図 3 に示す△印のようにサンプリング値が得られた場合、

$$Y_{t-1} - Y_{t-2} > 0 \quad \cdots \quad H2 = +1$$

$$Y_t - Y_{t-1} > 0 \quad \cdots \quad H1 = +1$$

$$|Y_{t-1} - Y_{t-2}| < |Y_t - Y_{t-1}|$$

であって、位相誤差量は、

$$(Y_{t-1} - Y_{t-2}) - (Y_t - Y_{t-1})$$

となる。この位相誤差量は負の値となり、クロックは、その位相誤差量の絶対値分だけ進んでいることになる。

【0034】

中心値計算回路 62 は、第二の位相誤差演算回路 65 にて使用する再生信号の固定中心値を計算する。この固定中心値は、例えば、所定期間に入力されるサンプリング値を平均化することにより得られる。再生信号の波形の特徴に基づいて定められる中心値を固定中心値として用いることもできる。

【0035】

第二の位相誤差演算回路 65 は、例えば、図 4 に示すように、再生信号の中心値とサンプリング値との差を、そのサンプリング値を得たタイミング（位相）と本来再生信号のエッジをサンプリングするタイミング（位相）との間の位相誤差量として演算する。即ち、図 4 に示すように、PR (1,1) 波形の再生信号では、理想的には、その立上がりまたは立下りエッジにおいて、その再生信号の中心値がサンプリング値として得られる。従って、その中心値と実際に得られたサンプリング値との差が、そのサンプリング値を得た位相（タイミング）とその再生信号の立上がりエッジまたは立下りエッジを本来サンプリングすべき位相（タイミング）との間の位相誤差量となる。

【0036】

特に、図 4 に示すように、再生信号の立上がりエッジにて得られたサンプリング値（○印参照）と中心値との差は、再生信号の立上がりエッジでのクロックの位相誤差量となる。また、再生信号の立下りエッジにて得られたサンプリング値（△印参照）と中心値との差は、再生信号の立下りエッジでのクロックの位相誤

差量となる。

【0037】

上述した第一の位相誤差演算回路61のように複数のサンプリング値の変化の状態からクロックの位相誤差量を演算する場合、再生信号の波形が対称的で安定している場合には、精度の良い位相誤差量が得られる。しかし、MSR媒体（超解像度の光磁気ディスク）からの再生信号のようにその立下り波形が歪むなど、再生信号波形が歪んでその非対称性が顕著になると、上述したように再生信号のサンプリング値の変化の状態に基づいて演算される位相誤差の精度が低下する。

【0038】

上記第二の位相誤差演算回路65のように、再生信号の中心値を基準にして、サンプリング値とその中心値との差を位相誤差量として求めるようにすると、上記第一の位相誤差演算回路61のように複数のサンプリング値の変化の状態に基づいて位相誤差量を演算する場合に比べて、再生信号波形の局所的な歪みの影響を受け難い。

【0039】

しかし、再生信号の全体的なレベルが変動（エンベロープ変動）する場合には、再生信号の固定的な中心値を基準にして位相誤差量を演算するようにすると、その位相誤差量の精度が低下する。例えば、図5に示すように、再生信号の全体的なレベルがしだいに上昇する場合、その中心値が上昇しているにもかかわらず、固定的な中心値を基準にして演算される位相誤差量に基づいて位相調整を行なうと、○印のように、その固定的な中心値がサンプリングされるようにクロックの位相調整がされてしまう。すると、本来再生信号（入力波形）から得られるべきサンプリング値（△印）と、上記のようなクロックに同期して得られるサンプリング値（○印）との差が大きくなり、再生信号に対するクロックの正確な位相調整（位相の引き込み）ができない。

【0040】

そこで、上記第二の位相誤差演算回路65は、オフセット検出回路68にて演算される再生信号のオフセット量を上記固定的に定めた中心値に加算して得られる新たな中心値に基づいて位相誤差量を演算するようにしている。

【0041】

即ち、オフセット検出回路68にて演算されたオフセット量がゲイン調整回路69にて調整され、そのゲイン調整されたオフセット量が制御ユニット200から供給される補正量（ゼロであってもよい）と加算器64にて加算される。その加算器64から出力される補正済みのオフセット量が中心値計算回路62からの固定中心値と加算器63にて加算される。そして、加算器63からからの出力値が新たな中心値として第二の位相誤差演算回路65に供給される。

【0042】

エッジ検出回路66は、ADC41からのサンプリング値に基づいて再生信号の立上がりエッジと立下りエッジを検出する。エッジ検出回路66からの立ち上がりエッジの検出信号は出力制御回路67にイネーブル信号として供給される。この出力制御回路67は、このイネーブル信号が有効になる毎（再生信号の立上がりエッジが検出される毎）に、制御ユニット200からの位相誤差切換え信号の状態に基づいて、第一の位相誤差演算回路61からの位相誤差量及び第二の位相誤差量演算回路65からの位相誤差量のいずれかを選択して出力する。従って、出力制御回路67は、再生信号の立上がりエッジが検出される毎に、位相誤差量（L系位相誤差量）を出力する。

【0043】

このように再生信号の立上がりエッジが検出される毎に上記出力制御回路67から出力される位相誤差量に基づいてクロックの位相調整が行なわれる（図1に示すDAC45及び位相調整発振ユニット46により）ことにより、再生信号の立上がりエッジに同期したクロックが上述したようにADC41に供給される。

【0044】

上記エッジ検出回路66、オフセット検出回路68、ゲイン調整回路69及び出力制御回路67の具体的な構成について説明する。

【0045】

まず、エッジ検出回路66は、例えば、図7に示すように構成される。

【0046】

図7において、このエッジ検出回路66は、直列接続されたフリップフロップ

8 1 (1) 、 8 1 (2) 、 8 1 (3) 、 立上がりエッジ検出ロジック回路 8 2 及び立下りエッジ検出ロジック回路 8 3 を有する。各フリップフロップ 8 1 (1) 、 8 1 (2) 、 8 1 (3) は、直列に接続され、A D C 4 1 からのサンプリング値が順次シフトされるようになっている。そして、各フリップフロップ 8 1 (1) 、 8 1 (2) 、 8 1 (3) にセットされたサンプリング値 Y_t 、 Y_{t1} 、 Y_{t2} が上記立上がりエッジ検出ロジック回路 8 2 及び立下りエッジ検出ロジック回路 8 3 に供給される。

【 0 0 4 7 】

立上がりエッジ検出ロジック回路 8 2 は、各フリップフロップ 8 1 (1) 、 8 1 (2) 、 8 1 (3) にセットされた連続する 3 つのサンプリング値 Y_t 、 Y_{t1} 、 Y_{t2} に基づいて次のような条件に従って再生信号の立上がりエッジを検出する。

【 0 0 4 8 】

- (1) $Y_t > Y_{t1}$
- (2) $Y_{t1} > Y_{t2}$
- (3) $Y_t > \text{中心値}$
- (4) $Y_{t2} < \text{中心値}$

上記の条件 (1) ～ (4) が満足されるとき、立上がりエッジ検出ロジック回路 8 2 は、立上がりエッジ (L) の検出信号を出力する。

【 0 0 4 9 】

即ち、3 つのサンプリング値 Y_{t2} 、 Y_{t1} 、 Y_t が、中心値より小さい値から中心値より大きい値まで順次単調に増加するときに、再生信号の立上がりエッジが検出される。

【 0 0 5 0 】

なお、上記中心値は、第二の位相誤差量演算回路 6 5 に供給されるものと同じようにオフセット量が加味された値であっても、中心値計算回路 6 2 にて演算された固定中心値であってもよい。

【 0 0 5 1 】

また、立下りエッジ検出ロジック検出ロジック回路 8 3 は、上記連続する 3 つ



のサンプリング値 Y_t 、 Y_{t1} 、 Y_{t2} に基づいて次のような条件に基づいて再生信号のエッジを検出する。

【0052】

(5) $Y_t < Y_{t1}$

(6) $Y_{t1} < Y_{t2}$

(7) $Y_t < \text{中心値}$

(8) $Y_{t2} > \text{中心値}$

上記の条件 (5) ~ (8) が満足されるとき、立下りエッジ検出ロジック回路 83 は、立下りエッジ (T) の検出信号を出力する。

【0053】

即ち、3つのサンプリング値 Y_{t2} 、 Y_{t1} 、 Y_t が、中心値より大きい値から中心値より小さい値まで順次単調に減少するときに、再生信号の立下りエッジが検出される。

【0054】

このエッジ検出回路 66 は、例えば、図 8 に示すタイミングチャートのように動作する。図 8 において、ADC 41 が 7 ビット出力 (0 ~ 7 f (16 進表表記) までの値を取り得る) の場合に、中心値を「4 0 hex (16 進表記)」としている。

【0055】

サンプリング値の表記形式は、以下同様とする。

【0056】

図 8 に示すように、タイミング t にてサンプリング値 Y_t が得られると、そのサンプリング値 Y_t とそれより前のタイミング $t-1$ 、 $t-2$ にて既に得られているサンプリング値 Y_{t1} 、 Y_{t2} とにより、上記条件 (1)、(2)、(3)、(4) が満足されていれば、そのタイミング t にて立上がりエッジ (L) の検出信号が出力される。また、そのタイミング t において上記条件 (5)、(6)、(7)、(8) が満足されていれば、そのタイミング t にて立下りエッジ (T) の検出信号が出力される。上記各検出信号は、上記対応する条件が満足されている期間有効な状態を保持する。

【 0 0 5 7 】

上記のようにエッジ検出回路 6 6 から出力される立上がりエッジの検出信号は、前述したように出力制御回路 6 7 にイネーブル信号として供給され、その立上がりエッジの反対側のエッジ（以下、反対エッジという）である立下りエッジの検出信号は、オフセット検出回路 6 8 に供給される。

【 0 0 5 8 】

次に、オフセット検出回路 6 8 は、この立下りエッジ（T）の検出信号が供給される毎に、ADC 4 1 から供給されるサンプリング値に基づいてオフセット量を演算する。即ち、オフセット検出回路 6 8 は、再生信号の立下りエッジにて得られるサンプリング値に基づいてオフセット量を演算する。それは、図 6 に示すような原理に基づいている。

【 0 0 5 9 】

図 6 において、例えば、再生信号の立上がりエッジでのサンプリング値（○印参照）が中心値となるように位相調整のされたクロックに同期して再生信号のサンプリングが行なわれる状態で、その再生信号の全体的なレベルが上昇すると、各サンプリング値を得るためのクロックの位相は、その再生信号の波形に対して相対的に進んだことになる。そのため、再生信号の全体的なレベルの上昇に伴って、上記のように位相調整されたクロックにてサンプリングされる再生信号の立下りエッジでのサンプリング値（○印）は順次大きくなる。この立下りエッジでのサンプリング値の上昇は、再生信号の上昇と対応することから、その再生信号の立下りエッジでのサンプリング値の変化分をオフセット量として用いることができる。

【 0 0 6 0 】

上記のような原理に従って再生信号のオフセット量を演算するオフセット検出回路 6 8 は、例えば、図 9 に示すように構成される。

【 0 0 6 1 】

図 9 において、このオフセット検出回路 6 8 は、減算器 9 1、除算器 9 2、エッジ選択回路 9 3、加算器 9 4、フリップフロップ（FF）9 5、9 6、9 7、アンド回路 9 8、オア回路 9 9、フリップフロップ（FF）1 0 0 及び減算器 1

0 1 を有している。

【 0 0 6 2 】

減算器 9 1 は、ADC 4 1 からのサンプリング値からフリップフロップ 9 5 にセットされる値（後述する移動平均値）を減じてその差分値を演算する。除算器 9 2 は、減算器 9 1 から出力される差分値を予め設定された平均個数にて除して、平均個数 1 個当たりの差分値（以下、分割差分値という）を求める。エッジ選択回路 9 3 は、上記エッジ検出回路 6 6 から立下りエッジ（反対エッジ）の検出信号が供給されたときに、減算器 9 2 からの分割差分値を加算器 9 4 に供給するゲート機能を有する。即ち、再生信号の立下りエッジにて得られたサンプリング値に基づいて演算された上記分割差分値が加算器 9 4 に供給される。

【 0 0 6 3 】

加算器 9 4 は、エッジ選択回路 9 3 を介して供給される上記分割差分値とフリップフロップ 9 5 にセットされた値（移動平均値）とを加算し、その加算値を出力する。フリップフロップ 9 5 は加算器 9 4 からの加算値を新たな移動平均値としてセットする。上記減算器 9 1、除算器 9 2、エッジ選択回路 9 3、加算器 9 4 及びフリップフロップ 9 5 により、再生信号の立下りエッジにて得られるサンプリング値の移動平均値が順次得られる。

【 0 0 6 4 】

なお、上記移動平均値を求めるための平均個数は、制御ユニット 2 0 0 が任意に設定することができる。平均個数を多くすると、分割差分値が小さくなり、1 つのサンプリング値が移動平均値に与える影響が小さくなる。即ち、再生信号の変化に対する応答性が良くなる。また、平均個数を少なくすると、分割差分値が大きくなり、1 つのサンプリング値が移動平均値に与える影響が大きくなる。再生信号の変化に対する応答性が悪くなる

制御ユニット 2 0 0 からの位相誤差切換え信号が入力するフリップフロップ 9 6 がフリップフロップ 9 7 に接続される。フリップフロップ 9 6 の出力及びフリップフロップ 9 7 の反転出力がアンド回路 9 8 に供給され、そのアンド回路 9 8 の反転出力がクロックと共にオア回路 9 9 に入力される。このような構成により、上記位相誤差切換え信号が立ちあがったときに、オア回路 9 9 から 1 つのパル

スが出力される。このオア回路 9 9 からのパルスの立上がりにて上記フリップフロップ 9 5 にセットされた上記移動平均値がフリップフロップ 1 0 0 にラッチされる。

【 0 0 6 5 】

位相調整に使用されるべき位相誤差量を前述した第一の位相誤差演算回路 6 1 で得られる位相誤差量から第二の位相誤差演算回路 6 5 で得られる位相誤差量に切換える際に上記位相誤差切換え信号が立ち上げられるようにすると、その切換え時に上記フリップフロップ 9 5 にセットされている再生信号の立下りエッジでのサンプリング値の平均値（以下、基準立下りエッジレベルという）がフリップフロップ 1 0 0 にラッチされる。減算器 1 0 1 は、フリップフロップ 9 5 にセットされる再生信号の立下りエッジでのサンプリング値の移動平均値からフリップフロップ 1 0 0 にラッチされた上記基準立下りエッジレベルを減じ、それらの差分値をオフセット量として出力する。

【 0 0 6 6 】

このような構成により、オフセット検出回路 6 8 は、位相調整に使用されるべき位相誤差量が第二の位相誤差演算回路 6 5 で得られる位相誤差量に切換えられたときにラッチされた基準立下りエッジレベルとそれ以降に得られる立下りエッジでのサンプリング値（移動平均値）との差分値をオフセット量として出力する。即ち、第二の位相誤差演算回路 6 5 での位相誤差量が選択される場合に、その第二の位相誤差演算回路 6 5 は、再生信号の立下りエッジでのサンプリング値の変化分がオフセット量として加味された中心値を用いて位相誤差量を演算することになる。

【 0 0 6 7 】

上記オフセット検出回路 6 8 は、例えば、図 1 0 に示すタイミングチャートのように動作する。

【 0 0 6 8 】

図 1 0 において、位相誤差切換え信号（フリップフロップ 9 6 の出力）が立ち上がった際に、立下りエッジ（反対エッジ）でのサンプリング値の平均値（フリップフロップ 9 5 の出力）「0 5」が基準立下りエッジレベルとしてフリップフ

ロップ 1 0 0 にセットされる。それ以降においては、その立下りエッジでのサンプリング値の平均値（フリップフロップ 9 6 の出力）「0 5」、「0 6」、「0 6」、「0 7」、…が得られる毎に、その値と上記フリップフロップ 1 0 0 にラッチされた基準立下りエッジレベル「0 5」との差分値「0 0」、「0 1」、「0 1」、「0 2」、…がオフセット量として得られる。

【 0 0 6 9 】

上記オフセット検出回路 6 8 に設けられたエッジ選択回路 9 3 は、例えば、図 1 1 に示すように構成される。

【 0 0 7 0 】

MSR 媒体のように、再生信号の立下り波形が歪む場合（図 1 2 に示す入力波形 Q 参照）、図 7 に示すエッジ検出回路 6 6 における立下り検出ロジック回路 8 3 でのエッジ検出ロジックでは、再生信号の立下り波形部分で 2 クロック連続してエッジを検出してしまう場合がある。図 1 1 に示す構成のエッジ選択回路 9 3 は、そのような場合であっても、立下り波形部分の単一の立下りエッジでのサンプリング値だけが移動平均の対象となるようにしている。

【 0 0 7 1 】

図 1 1 において、このエッジ選択回路 9 3 は、フリップフロップ 9 3 1、9 3 2、9 3 3、9 3 5 及びエッジ選択ロジック回路 9 3 4 を有している。前述したオフセット検出回路 6 8 における除算器 9 2 からの分割差分値が、エッジ選択ロジック回路 9 3 4 に OF1 信号として直接入力されると共に、フリップフロップ 9 3 1 を介してそのエッジ選択ロジック回路 9 3 4 に OF0 信号として入力される。エッジ検出回路 6 6 からの立下りエッジ（反対エッジ）の検出信号が、エッジ選択ロジック回路 9 3 4 に ED0 信号として直接入力されると共に、フリップフロップ 9 3 2 を介してそのエッジ選択ロジック回路 9 3 4 に ED1 信号として入力され、更に、フリップフロップ 9 3 2 及び 9 3 3 を介してエッジ選択ロジック回路 9 3 4 に ED2 信号として入力される。

【 0 0 7 2 】

更に、制御ユニット 2 0 0 からのモード選択信号がエッジ選択ロジック回路 9 3 4 に入力される。このモード選択信号は、以下の 3 つのモードのいずれかを指

定するための制御信号である。

【0073】

モード1では、上記エッジ選択ロジック回路934は、次の条件に従って分割差分値を出力する。

【0074】

(1) $ED2=0$ 、 $ED1=1$ のタイミングで、 $ED0=0$ の場合（立下りエッジの検出信号が1クロック分の場合）、

出力：OF1信号

(2) $ED2=0$ 、 $ED1=1$ のタイミングで、 $ED0=1$ の場合（立下りエッジの検出信号が2クロック分の場合）、

(i) $OF0 \leq OF1$ であれば、

出力：OF0信号

(ii) $OF0 > OF1$ であれば、

出力：OF1信号

(3) $ED2=0$ 、 $ED1=1$ 以外のタイミング

出力：「0」

上記のようなモード1では、連続する2クロック分の立下りエッジ（反対エッジ）の検出信号が供給された場合（（2）の場合）、サンプリング値の移動平均値に近いほうのサンプリング値を次の移動平均の対象にするように、より小さい分割差分値が出力される。

【0075】

モード2では、上記エッジ選択ロジック回路934は、次の条件に従って分割差分値を出力する。

【0076】

(1) $ED2=0$ 、 $ED1=1$ のタイミング（立下りエッジの検出信号が1クロック分、及び2クロック分の双方の場合）

出力：OF1信号

(2) $ED2=0$ 、 $ED1=1$ 以外のタイミング

出力：「0」

上記のようなモード2では、連続する2クロック分の立下りエッジの検出信号が供給された場合（（1）の場合）、前のエッジ検出にて得られたサンプリング値を移動平均値の対象にするように0F1信号（分割差分値）が出力される。

【0077】

モード3では、上記エッジ選択ロジック回路934は、次の条件に従って分割差分値を出力する。

【0078】

（1）ED2=0、ED1=1のタイミングで、ED0=0の場合（立下りエッジの検出信号が1クロック分の場合）、

出力：0F1

（2）ED2=0、ED1=1のタイミングで、ED0=1の場合（立下りエッジの検出信号が2クロック分の場合）、

出力：0F0

（3）ED2=0、ED1=1以外のタイミング

出力：「0」

上記のようなモード3では、連続する2クロック分の立下りエッジの検出信号が供給された場合（（2）の場合）、後のエッジ検出にて得られたサンプリング値を移動平均値の対象とするように0F0（分割差分値）が出力される。

【0079】

上記のような条件に従ってエッジ選択ロジック回路934から出力される分割差分値は、フリップフロップ935にセットされ、後段の加算器94（図9参照）に供給される。

【0080】

上記のような構成のエッジ選択回路93は、例えば、例えば、図12に示すタイミングチャートのように動作する。

【0081】

エッジ検出回路66にて再生信号の立下り波形部分で2クロック連続して立下りエッジ（2つのエッジ）が検出されると、その検出信号に基づいたエッジ選択ロジック回路934への入力信号ED2、ED1、ED0は、図12の（1）の部分のよ

うに変化する。また、エッジ検出回路 6 6 にて再生信号の立下り波形部分で 1 つのエッジだけが検出されると、その検出信号に基づいたエッジ選択ロジック回路 9 3 4 への入力信号 ED2、ED1、ED0 は、図 1 2 の (2) の部分のように変化する。

【 0 0 8 2 】

2 クロック連続して立下りエッジが検出された場合、モード選択信号にてモード 1 が指定されていると、図 1 2 の (1) の部分に示すように、その 2 つのエッジの検出タイミングに除算器 9 2 から供給される分割差分値「 0 f 」 (0 F1) と「 f 5 」 (0 F0) のうち小さい分割差分値「 f 5 」 (0 F0) がエッジ選択回路 9 3 から出力される。このようにより小さい分割差分値が出力されることにより、加算器 9 4 にて得られる再生信号の立下りエッジでのサンプリング値の移動平均値の変動が大きくなり、上記再生信号の波形歪みによるオフセット量に対する影響がより小さくなる。このため、より安定したオフセット量を得ることができるようになる。

【 0 0 8 3 】

上記のように 2 クロック連続して立下りエッジが検出された場合、モード選択信号にてモード 2 が指定されていると、上記 2 つの分割差分値「 0 f 」 (0 F1) と「 f 5 」 (0 F0) のうち前のエッジ検出時でのサンプリング値に対応した分割差分値「 0 f 」 (0 F1) がエッジ選択回路 9 3 から出力される。このように前のエッジ検出時でのサンプリング値に対応した分割差分値が出力されることにより、例えば、図 1 3 ①に示すように、再生信号の立下り波形部分が持ち上がった場合、より正しい立下りエッジでのサンプリング値に対応した分割差分値を用いた移動平均が行なわれる。その結果、安定したオフセット量を得ることができる。

【 0 0 8 4 】

上記のように 2 クロック連続して立下りエッジが検出された場合、モード選択信号にてモード 3 が指定されていると、上記 2 つの分割差分値のうち後のエッジ検出時でのサンプリング値に対応した分割差分値「 f 5 」 (0 F0) がエッジ選択回路 9 3 から出力される。このように後のエッジ検出時でのサンプリング値に対応した分割差分値が出力されることにより、例えば、図 1 3 ②に示すように、再

生信号の立下り波形が落ち込んだ場合、より正しいエッジでのサンプリング値に対応した分割差分値を用いた移動平均が行なわれる。その結果、安定したオフセット量を得ることができる。

【 0 0 8 5 】

一方、再生信号の立下り波形部分で単一のエッジが検出された場合、モード選択信号にてモード 1、モード 2、モード 3 のいずれが選択されていても、図 1 2 の (2) の部分に示すように、立下りエッジの検出信号 ED 1 のタイミングで、そのタイミングにて得られるサンプリング値に対応した分割差分値「0 0」(0F1) がエッジ選択回路 9 3 から出力される。

【 0 0 8 6 】

上記のように各モードは、記録媒体から得られる再生信号波形の特徴に基づいて決めることができる。

【 0 0 8 7 】

更に、上記ゲイン調整回路 6 9 は、例えば、図 1 4 に示すように構成される。

【 0 0 8 8 】

図 1 4 において、このゲイン調整回路 6 9 は、定数乗算器 1 1 1、1 1 2、1 1 3 及びセクタ 1 1 4 を有する。定数乗算器 1 1 1 は、オフセット検出器 6 8 からのオフセット量に定数「2」を乗じ、その検出オフセット量の 2 倍のオフセット量を出力する。定数乗算器 1 1 2 は、そのオフセット量に定数「1」を乗じ、その検出オフセット量と同じオフセット量（1 倍のオフセット量）を出力する。定数乗算器 1 1 3 は、そのオフセット量に定数「1 / 2」を乗じ、その検出オフセット量の 1 / 2 のオフセット量を出力する。セクタ 1 1 4 は制御ユニット 2 0 0 からのゲイン選択信号に従って、上記 2 倍のオフセット量、1 倍のオフセット量、1 / 2 のオフセット量のいずれかを選択し、最終的なオフセット量として加算器 6 4 に供給する（図 3 参照）。

【 0 0 8 9 】

このゲイン調整回路 6 9 により、オフセット検出回路 6 8 にて検出されたオフセット量とフィードバックの遅れなどに応じて、最適なゲイン（2 倍、1 倍、1 / 2 倍）にて調整したオフセット量を上記第二の位相誤差演算回路 6 5 にて利用

できるようになる。

【0090】

また、上記出力制御回路67は、例えば、図15に示すように構成される。

【0091】

図15において、この出力制御回路67は、選択回路131及びゲート回路132を有している。選択回路131は、位相誤差切換え信号の状態に基づいて第一の位相誤差演算回路61にて連続するサンプリング値から得られた位相誤差量及び第二の位相誤差演算回路65にて再生信号の中心値を基準にして得られた位相誤差量のいずれかを選択する。ゲート回路132は、エッジ検出回路66からの立ち上がりエッジの検出信号をイネーブル信号(EN)として入力し、この立ち上がりエッジの検出信号が供給される毎に、上記選択回路131にて選択された位相誤差量を出力する。

【0092】

上述した構成は、立ち上がり処理部40における位相誤差検出部44の構成である。一方、図2において、立下り処理部50における位相誤差検出部54は、第一の位相誤差演算回路71、中心計算回路72、加算器73、74、第二の位相誤差演算回路75、エッジ検出回路66及び出力回路77を有している。

【0093】

第一の位相誤差演算回路71は、ADC51から供給される連続する複数(例えば、3つ)のサンプリング値に基づいて、上記立ち上がり処理部40の位相誤差検出部44における第一の位相誤差演算回路61と同様のロジックに従って位相誤差量を演算する(図3参照)。また、中心値計算回路72も、立ち上がり処理部40の位相誤差検出部44における中心値計算回路62と同様の処理にて再生信号の固定中心値を計算する。

【0094】

加算器74は、上記立ち上がり処理部40の位相誤差検出部44におけるオフセット検出回路68からのオフセット量と制御ユニット200から供給される補正量(ゼロであってもよい)とを加算する。その加算器74から出力される補正済みのオフセット量が、上記立ち上がり処理部40の位相誤差検出部44での構成

と同様に、中心値計算回路 7 2 からの固定中心値と加算器 7 3 にて加算される。そして、加算器 7 3 からの出力値が新たな中心値として第二の位相誤差演算回路 7 5 に供給される。

【 0 0 9 5 】

第二の位相誤差演算回路 7 5 は、A D C 5 1 からのサンプリング値と加算器 7 3 からの中心値を入力し、上記立上がりエッジ処理部 4 0 の位相誤差検出部 4 4 における第二の位相誤差演算回路 6 5 と同様の手法にて位相誤差量を演算する（図 4 参照）。エッジ検出回路 7 6 は、図 7 に示す構成と同様の構成（立上がりエッジ検出ロジック回路 8 2 を除いてもよい）を有し、A D C 5 1 からの連続する 3 つのサンプリング値の変化の状態に基いて再生信号の立下りエッジを検出する（前述した条件（5）～（8）に従う）。エッジ検出回路 7 6 からの再生信号の立下りエッジの検出信号は、出力制御回路 7 7 にイネーブル信号として供給される。

【 0 0 9 6 】

出力制御回路 7 7 は、図 1 5 に示す構成と同様の構成を有し、上記イネーブル信号が有効になる毎（再生信号の立下りエッジが検出される毎）に、制御ユニット 2 0 0 からの位相誤差切換え信号の状態に基づいて、第一の位相誤差演算回路 7 1 からの位相誤差量及び第二の位相誤差量演算回路 7 5 からの位相誤差量のいずれかを選択して出力する。従って、出力制御回路 7 7 は、再生信号の立下りエッジが検出される毎に、位相誤差量（T 系位相誤差量）を出力する。

【 0 0 9 7 】

このように再生信号の立下りエッジが検出されるごとに上記出力制御回路 7 7 か出力される位相誤差量に基づいてクロックの位相調整が行なわれる（図 1 に示す D A C 5 5 及び位相調整発振ユニット 5 6）ことにより、再生信号の立下りエッジに同期したクロックが上述したように A D C 5 1 に供給される。

【 0 0 9 8 】

上記例では、立下りエッジ処理部 5 0 の位相誤差検出部 5 4 における第二の位相誤差演算回路 7 5 は、立ち上がりエッジ処理部 4 0 の位相誤差検出部 4 4 にて得られるオフセット量を利用して位相誤差量を演算している。しかし、このよう

な構成に限られることなく、立下りエッジ処理部 5 0 の位相誤差検出部 5 4 が上記オフセット検出回路 6 8 と同様の構成（図 9、図 1 1 参照）となるオフセット検出回路を備えるようにしてもよい。この場合、立下りエッジ処理部 5 0 の位相誤差検出部 5 4 は、再生信号の立下りエッジでの位相誤差量を検出していることから、そのオフセット検出回路は、再生信号の立下りエッジの反対側のエッジとなる立ち上がりエッジでのサンプリング値（移動平均値）に基づいてオフセット量を演算することになる。

【 0 0 9 9 】

このように立下りエッジ処理部 5 0 の位相誤差検出部 5 4 にオフセット検出回路を設けた場合、各位相誤差検出部 4 4、5 4 のそれぞれが独立して検出されるオフセット量を用いて位相誤差量を演算することができる。また、上記例（図 2 参照）とは逆に、立下りエッジ処理部 5 0 の位相誤差検出部 5 4 に設けられたオフセット検出回路にて得られたオフセット量を立上がり処理部 4 0 の位相誤差検出部 4 4 に供給することもできる。

【 0 1 0 0 】

MSR 媒体のようにその再生信号が、図 1 6（a）、（b）に示すように、立下り波形が歪みにより立ち上がり波形に比べて緩やかに変化する場合、立下りエッジにおけるクロックの位相誤差変動に対するサンプリング値の変動（図 1 6（a）参照）は、立ち上がりエッジにおけるクロックの位相変動に対するサンプリング値の変動（図 1 6（b）参照）より小さくなる。従って、MSR 媒体のような再生信号の特性を有する記録媒体を想定した場合、前述した例のように、再生信号の立ち上がりエッジに同期させるようにクロックの位相調整（第二の位相誤差演算回路 6 5）をしながら、その立下りエッジでのサンプリング値に基づいてオフセット量を演算する場合（図 1 6（a）の場合）のほうが、再生信号の立下りエッジに同期させるようにクロックの位相調整（第二の位相誤差演算回路 7 5）をしながら、その立ち上がりエッジでのサンプリング値に基づいてオフセットを演算する場合（図 1 6（b）の場合）より、安定したオフセット量を得ることができる。

【 0 1 0 1 】

制御ユニット 200 は、例えば、図 17 に示すようなタイミングにて変化する位相誤差切換え信号を各位相誤差検出部 44、54 に供給する。

【0102】

図 17 において、位相調整の初期段階では、第一の位相誤差演算回路 61、71 からの位相誤差を選択し、複数のサンプリング値の変化状態から得られるその位相誤差量に基いてクロックの位相調整を行なう。そして、ある程度クロックの位相が再生信号のエッジ（立上がりエッジ及び立下りエッジ）の位相に近づいた（引き込まれた）状態（あるいは、位相ロックされた状態）で、位相誤差切換え信号を立ち上げる。これにより、クロックの位相が再生信号のエッジの位相にある程度引き込まれた状態（あるいは、位相ロックされた状態）で、第二の位相誤差演算回路 65、75 からの位相誤差が選択され、オフセット量を考慮した中心値（オフセット追従した固定レベル）を基準にした位相誤差量に基づいてクロックの位相調整が開始される。

【0103】

再生信号の中心値（固定レベル）とそのエッジでのサンプル値との差が大きいく、最大位相ずれが発生している場合には、その中心値を基準にした位相誤差量（最大位相ずれ）に基づいてクロックの位相を再生信号のエッジの位相に引き込むことは困難である。位相調整の初期段階では、再生信号の中心値とそのエッジでのサンプリング値との差が比較的大きいので、上記のように、複数のサンプリング値の変化状態から得られる位相誤差量に基いてクロックの位相調整を行なうことにより、クロックの位相を再生信号のエッジの位相に比較的早く近づけることができる。このようにクロックの位相が再生信号のエッジの位相にある程度引き込まれた状態（あるいは、位相ロックされた状態）で、オフセット量を加味した再生信号の中心値を基準にした位相誤差量に基づいて位相調整が行なわれるので、再生信号が非対称の波形を有し、更に、その全体的なレベルが変化しても、位相調整の初期段階から安定したクロックの位相調整が継続的にできるようになる。

【0104】

上記例では、オフセット検出器 68 にて得られたオフセット量がクロックの位

相調整に用いられている。このオフセット量は、他の処理に用いることもできる。例えば、そのオフセット量を再生信号のサンプリング値に反映させることもできる。この場合、立上がりエッジ処理部 4 0 及び立下りエッジ処理部 5 0 は、例えば、図 1 8 に示すように構成される。なお、図 1 8 において、クロックの位相調整に係る回路は省略されている。

【0105】

図 1 8 において、立上がりエッジ処理部 4 0 及び立下りエッジ処理部 5 0 は、前述した例（図 1 参照）と同様に ADC 4 1、5 1 及びビタビ復号器 4 3、5 2 を有すると共に、減算器 4 7、5 7 を有する。また、立上がりエッジ処理部 4 0 は、前述した例と略同様の構成（図 9 及び図 1 1 参照）となるオフセット検出回路 6 8 を有する。

【0106】

オフセット検出器 6 8 にて検出されたオフセット量は、減算器 4 7 に供給される共に、立下りエッジ処理部 5 0 の減算器 5 7 にも供給される。これら減算器 4 7、5 7 は、ADC 4 1、5 1 から供給されるサンプリング値から上記オフセット量を減じ、オフセット調整されたサンプリング値を出力する。立上がり処理部 4 0 では、減算器 4 7 から出力されるオフセット調整されたサンプリング値がオフセット回路 6 8 に供給されると共にビタビ復号器 4 3 に供給される。

【0107】

オフセット検出器 6 8 は、所定のタイミングで再生信号の立下りエッジでのサンプリング値の移動平均値を基準レベルとしてラッチする（図 9 に示すフリップフロップ 1 0 0 参照）。その後、オフセット検出器 6 8 は、減算器 4 7 からの再生信号の立下りエッジでのサンプリング値の移動平均値と上記ラッチされた基準レベルとの差（図 9 に示す減算器 1 0 1 参照）をオフセット量として減算器 4 7 にフィードバックする。その結果、減算器 4 7 からは、上記基準レベルがラッチされたタイミングから発生する再生信号の全体的なレベル変動をオフセット値として実際のサンプリング値から差し引いた値（オフセット調整されたサンプリング値）が出力される。

【0108】

立下り処理部では、減算器 5 7 から出力される上記と同様にオフセット調整されたサンプリング値がビタビ復号器 5 3 に供給される。各ビタビ復号器 4 3、5 3 は、ビタビ復号アルゴリズムに従って上記オフセット調整されたサンプリング値の遷移状態から記録データとして最も確からしいデータを復元する。

【 0 1 0 9 】

このような立上がりエッジ処理部 4 0 及び立下りエッジ処理部 5 0 の構成により、上記各減算器からの出力（例えば、減算器 4 7 の出力①）は、例えば、図 1 9 に示すように、ADC 4 1 からの実際のサンプリング値（○印参照）が再生信号の全体的なレベルの上昇によりオフセットしていても、そのサンプリング値は上記基準レベルがラッチされた際の再生信号波形に対応した値に（○印参照）なるように調整される。

【 0 1 1 0 】

なお、上記例において、第二の位相誤差演算回路 6 1、7 1 では、再生信号の中心値と再生信号のエッジでのサンプリング値との差に基づいて位相誤差量を演算しているが、これに限られない。所定のクロック位相において再生信号から本来サンプリングされるべき値（レベル）が予め判っていれば、その値（レベル）と、実際に得られたサンプリング値との差に基づいて位相誤差を演算することができる。この場合、クロックの位相が上記所定のクロック位相にロックされるように位相調整されることになる。

【 0 1 1 1 】

なお、本願発明を以下の通り付記として記す。

【 0 1 1 2 】

（付記 1）記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置におけるクロック調整装置において、

基準レベルを基準にした再生信号の第一のエッジでのサンプリング値の状態に基づいてクロックの位相誤差量を検出する位相誤差検出手段と、

再生信号のオフセット量を検出するオフセット検出手段と、

該オフセット検出手段にて検出されたオフセット量に基づいて上記位相誤差量検出手段にて用いられる基準レベルを調整する基準レベル調整手段と、

上記位相誤差検出手段にて検出された位相誤差量に基づいてクロックの位相調整を行なう位相調整手段とを有し、

上記オフセット検出手段は、

再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記監視サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段とを有するクロック調整装置。

【 0 1 1 3 】

（付記 2）付記 1 記載のクロック調整装置において、

上記第一のエッジは、再生信号の立上がりエッジであり、

上記第二のエッジは、再生信号の立下りエッジであるクロック調整装置。

【 0 1 1 4 】

（付記 3）付記 1 または 2 記載のクロック調整装置において、

上記オフセット演算手段にて得られたオフセット量を調整するオフセット調整手段を有し、基準レベル調整手段は、該オフセット調整手段により調整されたオフセット量に基づいて上記位相誤差量検出手段にて用いられる基準レベルを調整するようにしたクロック調整装置。

【 0 1 1 5 】

オフセット調整手段は、オフセット演算手段にて得られたオフセット量に対して補正量（正、負の値を取り得る）を加算するようにしても、また、そのオフセット量に所定の倍率を乗ずるようにしても、更に、所定の関係式に従って調整するようにしてもよい。

【 0 1 1 6 】

（付記 4）付記 1 乃至 3 いずれか記載のクロック調整装置において、

複数のサンプリング値の変化の状態に基づいて位相誤差量を検出する手段と、

該手段にて検出された位相誤差量に基づいてクロックの位相調整がなされた後に、上記位相誤差検出手段にて得られた位相誤差量に基づいてクロックの位相調整がなされるように、上記位相調整手段を制御する位相誤差切換え制御手段を有するクロック調整装置。

【 0 1 1 7 】

（付記 5）記録媒体からの再生信号を所定のクロックに同期してサンプリングし、そのサンプリング値を用いてパルシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なうデータ再生装置において上記再生信号のオフセットを検出するオフセット検出装置において、

再生信号の第一のエッジに位相調整されるクロックに同期して当該再生信号がサンプリングされる際に、該再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量を再生信号のオフセット量として演算するオフセット演算手段とを有するオフセット検出装置。

【 0 1 1 8 】

（付記 6）付記 5 記載のオフセット検出装置において、

上記監視サンプリング値生成手段は、複数の第二のエッジでのサンプリング値の平均化して監視エッジサンプリング値を生成する平均化手段を有するオフセット検出装置。

【 0 1 1 9 】

上記平均化の手法は特に限定されず、その複数のサンプリング値の全体的な特徴が反映される監視エッジサンプリング値が得られるものであればよい。

【 0 1 2 0 】

（付記 7）付記 5 または 6 記載のオフセット検出装置において、

上記監視エッジサンプリング値生成手段は、第二のエッジでのサンプリング値として 2 つのサンプリング値が連続して得られたときに、監視エッジサンプリン

グ値の生成に供すべきサンプリング値としてその2つのサンプリング値のいずれを選択するサンプリング値選択手段を有するオフセット検出装置。

【0121】

(付記8) 付記7記載のオフセット検出装置において、

上記サンプリング値選択手段は、生成される監視エッジサンプリング値の変化がより小さくなるサンプリング値を監視サンプリング値の生成に供すべきサンプリング値として選択するようにしたオフセット検出装置。

【0122】

監視サンプリング値が、例えば、所定数のサンプリング値の移動平均値となる場合、その監視サンプリング値により近いサンプリング値が選択される。

【0123】

(付記9) 付記7記載のオフセット検出装置において、

上記サンプリング値選択手段は、より早いタイミングで得られるサンプリング値を監視サンプリング値の生成に供すべきサンプリング値として選択するようにしたオフセット検出装置。

【0124】

(付記10) 付記7記載のオフセット検出装置において、

上記サンプリング値選択手段は、より遅いタイミングで得られるサンプリング値を監視サンプリング値の生成に供すべきサンプリング値として選択するようにしたオフセット検出装置。

【0125】

(付記11) 記録媒体からの再生信号の第一のエッジに位相調整されるクロックに同期して当該再生信号をサンプリングし、そのサンプリング値を用いてパーシャルレスポンスの記録規則に対応した最尤復号アルゴリズムに従ってデータの復元を行なう第一の処理部と、上記再生信号の上記第一のエッジと反対側のエッジとなる第二のエッジに位相調整されるクロックに同期して当該再生信号をサンプリングし、そのサンプリング値を用いて上記最尤アルゴリズムに従ってデータの復元を行なう第二の処理部とを有するデータ再生装置において、

上記第一の処理部は、

再生信号の上記第二のエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、

所定タイミングにて得られる監視エッジサンプリング値を基準とした上記サンプリング値生成手段にて生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段と、

該オフセット演算手段にて得られたオフセット量を上記第二の処理部に供給する手段とを有し、

上記第一の処理部及び第二の処理部が、上記再生信号及び上記オフセット量とに基づいてデータの復元を行なうようにしたデータ再生装置。

【 0 1 2 6 】

(付記 1 2) 付記 1 1 記載のデータ再生装置において、

上記第一の処理部及び第二の処理部のそれぞれは、上記オフセット量に基づいてサンプリング値をオフセット調整するオフセット調整手段を有するデータ再生装置。

【 0 1 2 7 】

(付記 1 3) 付記 1 1 または 1 2 記載のデータ再生装置において、

上記第一の処理部及び第二の処理のそれぞれは、上記オフセット量に基づいて再生信号をサンプリングするクロックの位相誤差量を検出する位相誤差検出手段を有し、

該位相誤差検出手段にて検出された位相誤差量に基づいてクロックの位相調整を行なうようにしたデータ再生装置。

【 0 1 2 8 】

上記各例において、第二の位相誤差演算回路 6 5、7 5 は、位相誤差検出手段に対応し、オフセット検出回路 6 8 は、オフセット検出手段に対応し、加算器 6 3 は、基準レベル調整手段に対応し、DAC 4 5、5 5、位相調整発振ユニット 4 6、5 6 は、位相調整手段に対応する。

【 0 1 2 9 】

また、図 9 に示す減算器 9 1、除算器 9 2、エッジ選択回路 9 3、加算器 9 4 及びフリップフロップ 9 5 は、監視サンプリング値生成手段に対応し、図 9 に示

すフリップフロップ96、97、100、アンド回路98、オア回路99及び減算器101は、オフセット演算手段に対応する。

【0130】

図2に示すゲイン調整回路69、加算器64は、オフセット調整手段（付記3参照）に対応する。

【0131】

第一の位相誤差演算回路61、71は、複数のサンプリング値の変化に基づいて位相誤差量を検出する手段に対応し、制御ユニット200からの位相誤差切換え信号に基づいて動作する出力制御回路67、77は、位相誤差切換え制御手段に対応する。

【0132】

更に、図11に示すエッジ選択ロジック回路934は、サンプリング値選択手段（付記7参照）に対応する。

【0133】

また、立上がりエッジ処理部30は、第一の処理部に対応し、立下りエッジ処理部は、第二の処理部に対応し、立上がりエッジ処理部30の位相誤差量検出部44のオフセット検出回路68からゲイン調整回路69を介して立下りエッジ処理部の位相誤差検出部54の加算器74に至る経路は、オフセット演算手段にて得られたオフセット量を第二の処理部に供給する手段に対応する。

【0134】

図18に示す減算器47、57は、オフセット調整手段（付記13参照）に対応する。

【0135】

【発明の効果】

以上、説明したように、請求項1乃至3記載の本願発明によれば、再生信号の全体的なレベルが変動しても、そのオフセット量に基づいて位相誤差検出手段での基準レベルが調整されるので、より適正な位相誤差量を得ることができるようになる。その結果、その位相誤差量に基づいて安定した位相調整を行なうことのできるクロック調整装置を実現することができる。

【0 1 3 6】

また、請求項 4 記載の本願発明によれば、そのようなそのようなクロック調整装置に用いることのできるオフセット検出装置を実現することができる。

【0 1 3 7】

更に、請求項 5 記載の本願発明によれば、そのオフセット検出装置が適用されるデータ再送装置を実現することができる。

【図面の簡単な説明】

【図 1】

本発明に実施の一形態に係るクロック調整装置が適用されるデータ記録再生装置の構成例を示す図である。

【図 2】

図 1 に示す装置における各位相誤差検出部の構成例を示す図である。

【図 3】

複数のサンプリング値の変化状態から位相誤差量を求めるための原理を示す図である。

【図 4】

再生信号の中心値を基準として各サンプリング値との差から位相誤差量を求めるための原理を示す図である。

【図 5】

再生信号の全体的なレベル変動（エンベロープ変動）の一例を示す図である。

【図 6】

オフセット量を求めるための原理を示す図である。

【図 7】

エッジ検出回路の構成例を示す図である。

【図 8】

エッジ検出回路の動作例を示すタイミングチャートである。

【図 9】

オフセット検出回路の構成例を示す図である。

【図 1 0】

オフセット回路の動作例を示すタイミングチャートである。

【図 1 1】

エッジ選択回路の構成例を示す図である。

【図 1 2】

エッジ選択回路の動作例を示すタイミングチャートである。

【図 1 3】

再生信号の波形歪みとサンプリング値との関係を示す図である。

【図 1 4】

ゲイン調整回路の構成例を示す図である。

【図 1 5】

出力制御回路の構成例を示す図である。

【図 1 6】

再生信号の波形歪みとサンプリング値との関係を示す図である。

【図 1 7】

使用すべき位相誤差の切換えタイミングの一例を表すタイミングチャートである。

【図 1 8】

オフセット検出回路の他の適用例を示す図である。

【図 1 9】

サンプリング値のオフセット調整の状態例を示す図である。

【符号の説明】

- 1 0 光磁気ディスク（記録媒体）
- 1 3 光学ヘッド
- 1 4 ヘッドアンプ
- 2 0 書込み系
- 3 0 再生系
- 4 0 立上がりエッジ処理部
- 4 1、5 1 アナログ・デジタル変換回路（A D C）
- 4 2、5 2 等化器（E Q）

- 43、53 ビタビ復号器
- 44、54 位相誤差検出部
- 45、55 デジタル・アナログ変換回路 (DAC)
- 46、56 位相調整発振ユニット
- 47、57 減算器
- 50 立下リエッジ処理部
- 61、71 第一の位相誤差演算回路
- 62、72 中心値計算回路
- 63、64、73、74 加算器
- 65、75 第二の位相誤差演算回路
- 66、76 エッジ検出回路
- 67、77 出力制御回路
- 68 オフセット検出回路
- 69 ゲイン調整回路
- 82 立上がりエッジ検出ロジック回路
- 83 立下リエッジ検出ロジック回路
- 91 減算器
- 92 除算器
- 93 エッジ選択回路
- 94 加算器
- 95、96、97、100 フリップフロップ
- 98 アンド回路
- 99 オア回路
- 101 減算器
- 111、112、113 定数乗算器
- 114 セレクタ
- 131 選択回路
- 132 ゲート回路
- 200 制御ユニット

2 1 0 インタフェース回路

9 3 1、9 3 2、9 3 3、9 3 5 フリップフロップ

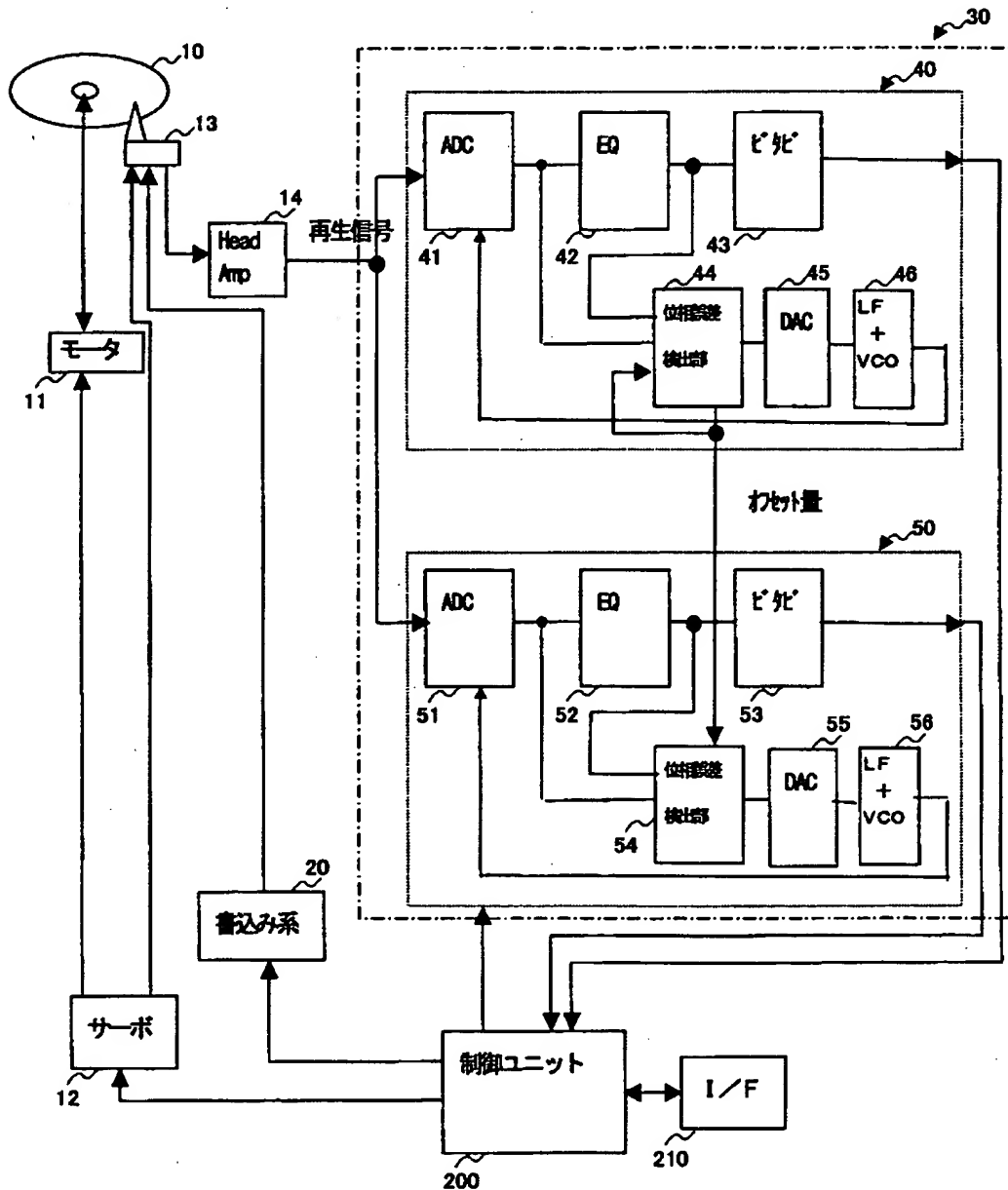
9 3 4 エッジ選択ロジック回路

【書類名】

図面

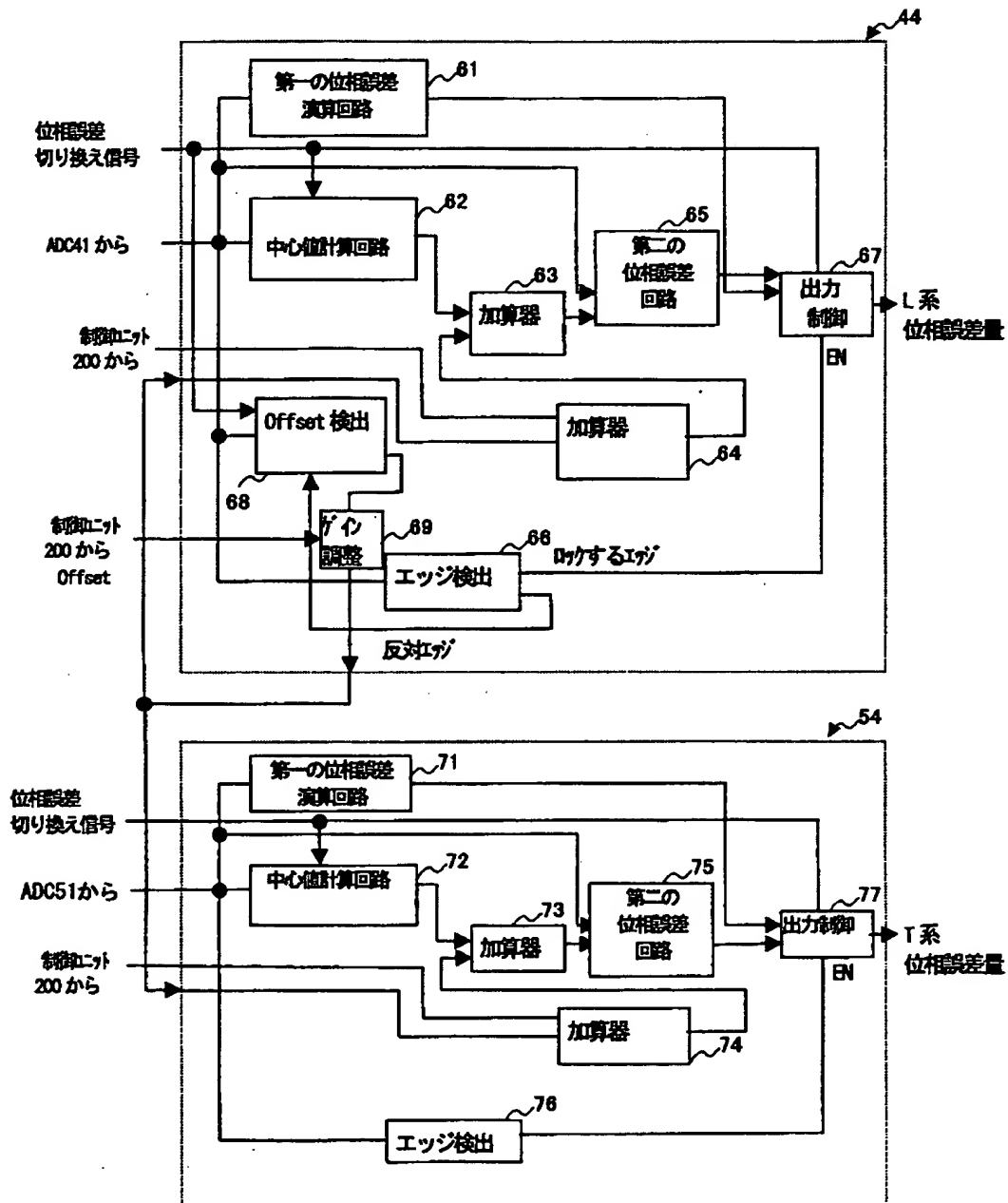
【図 1】

本発明に実施の一形態に係るクロック調整装置が適用される
データ記録再生装置の構成例を示す図



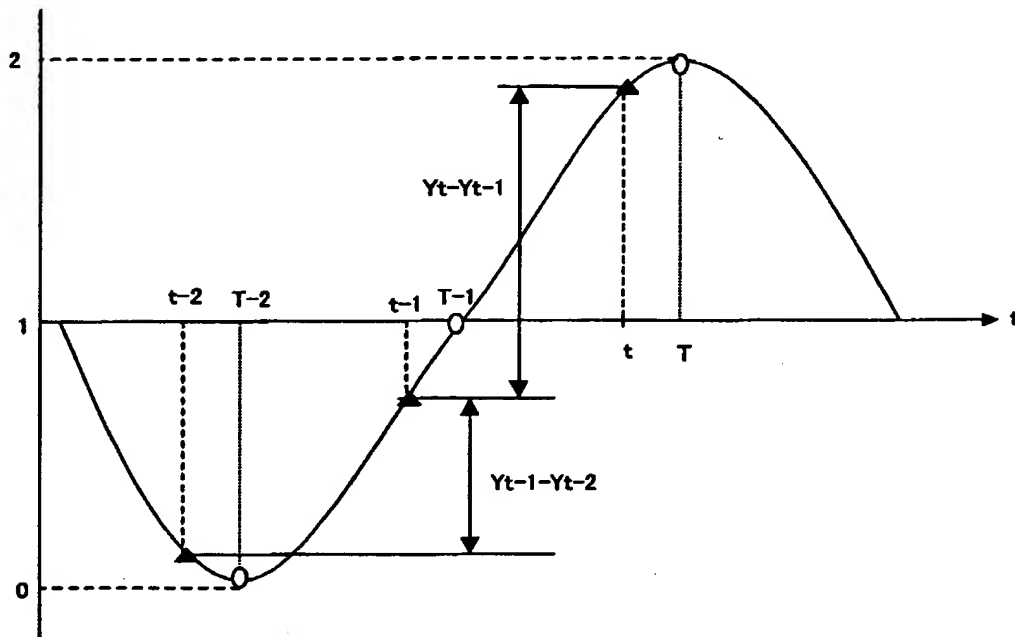
【図 2】

図1に示す装置における各位相誤差検出部の構成例を示す図



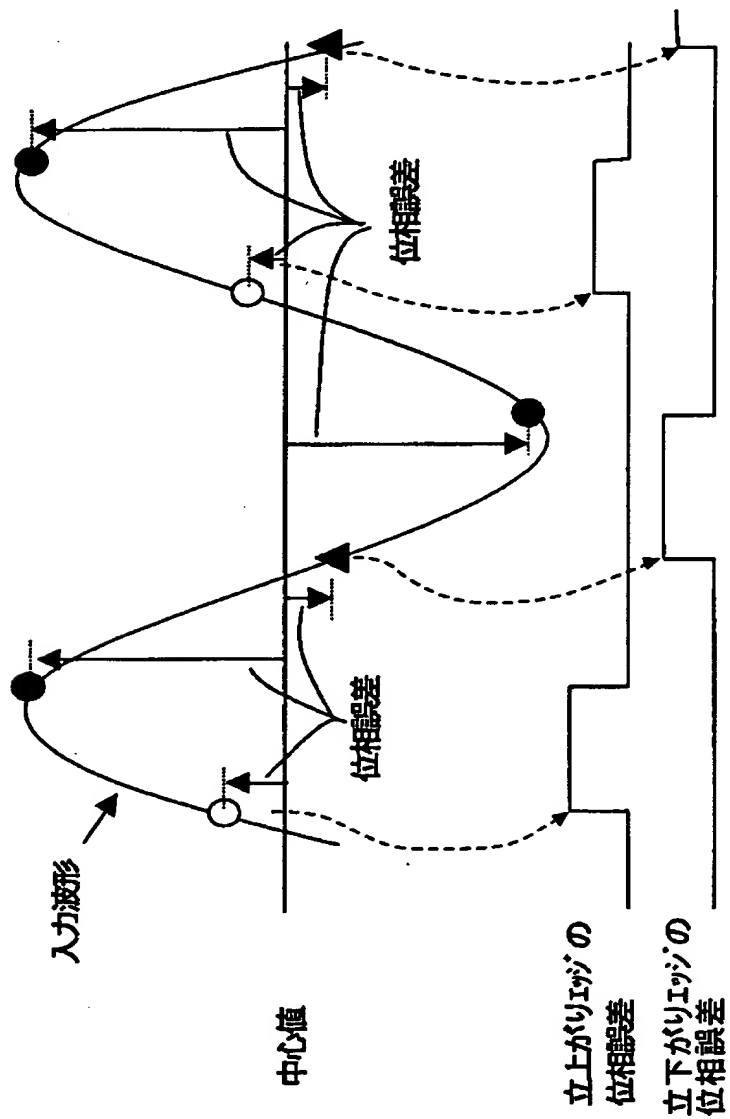
【図 3】

複数のサンプリング値の変化状態から位相誤差量を求めるための原理を示す図



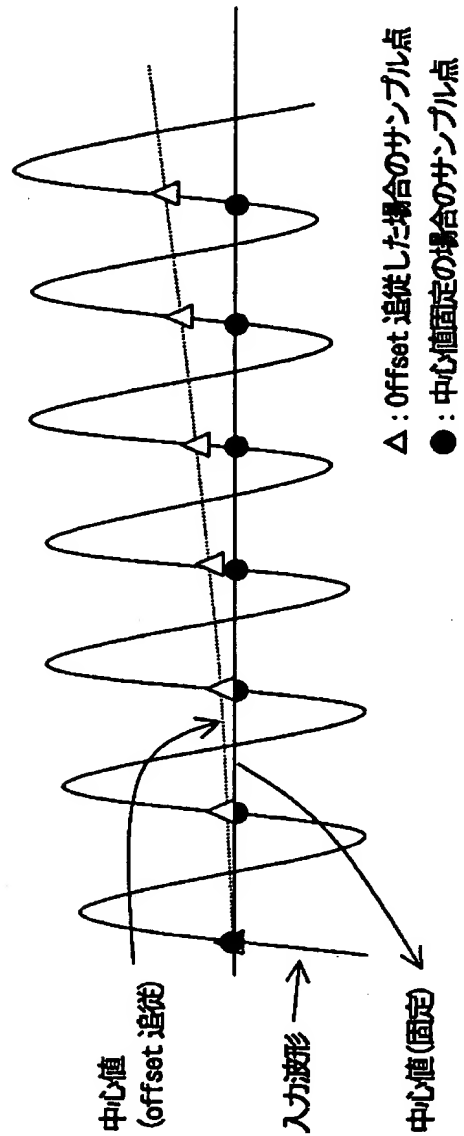
【図4】

再生信号の中心値を基準として各サンプリング値との差から
位相誤差量を求めるための原理を示す図



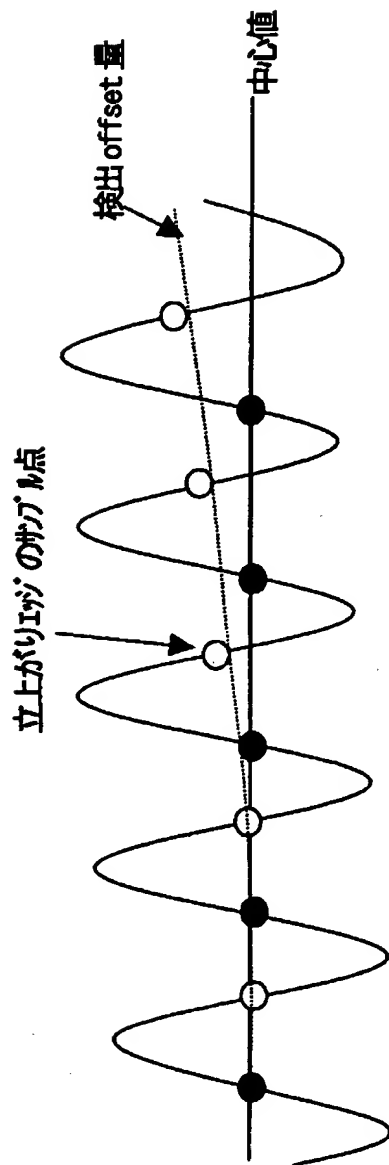
【図 5】

再生信号の全体的なレベル変動（エンベロープ変動）
の一例を示す図



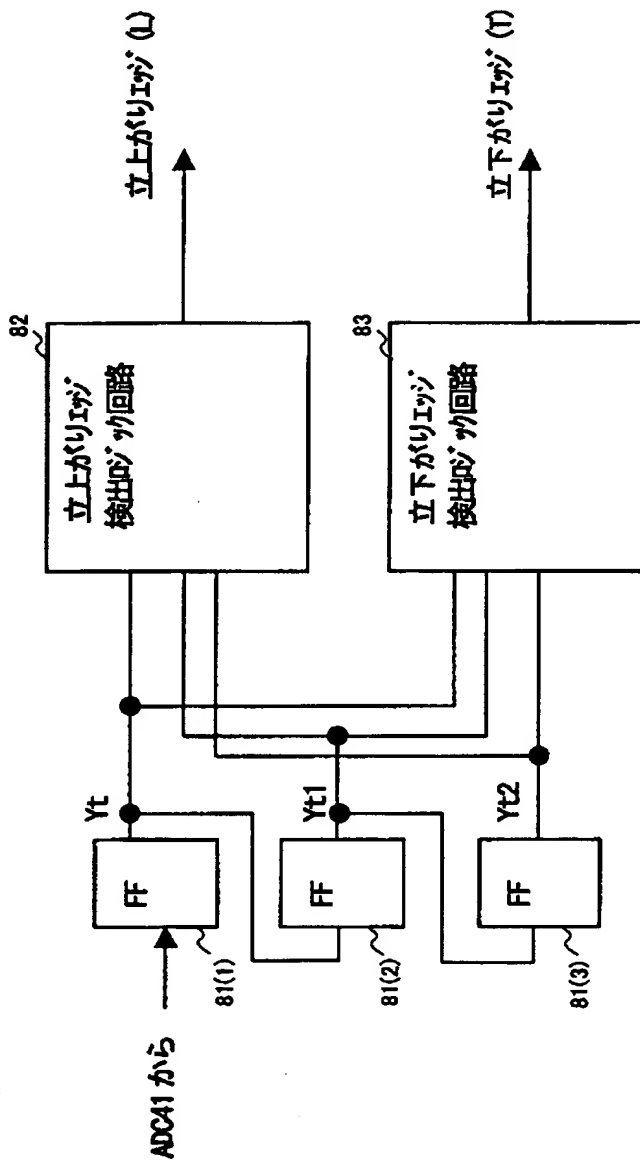
【図 6】

オフセット量を求めるための原理を示す図



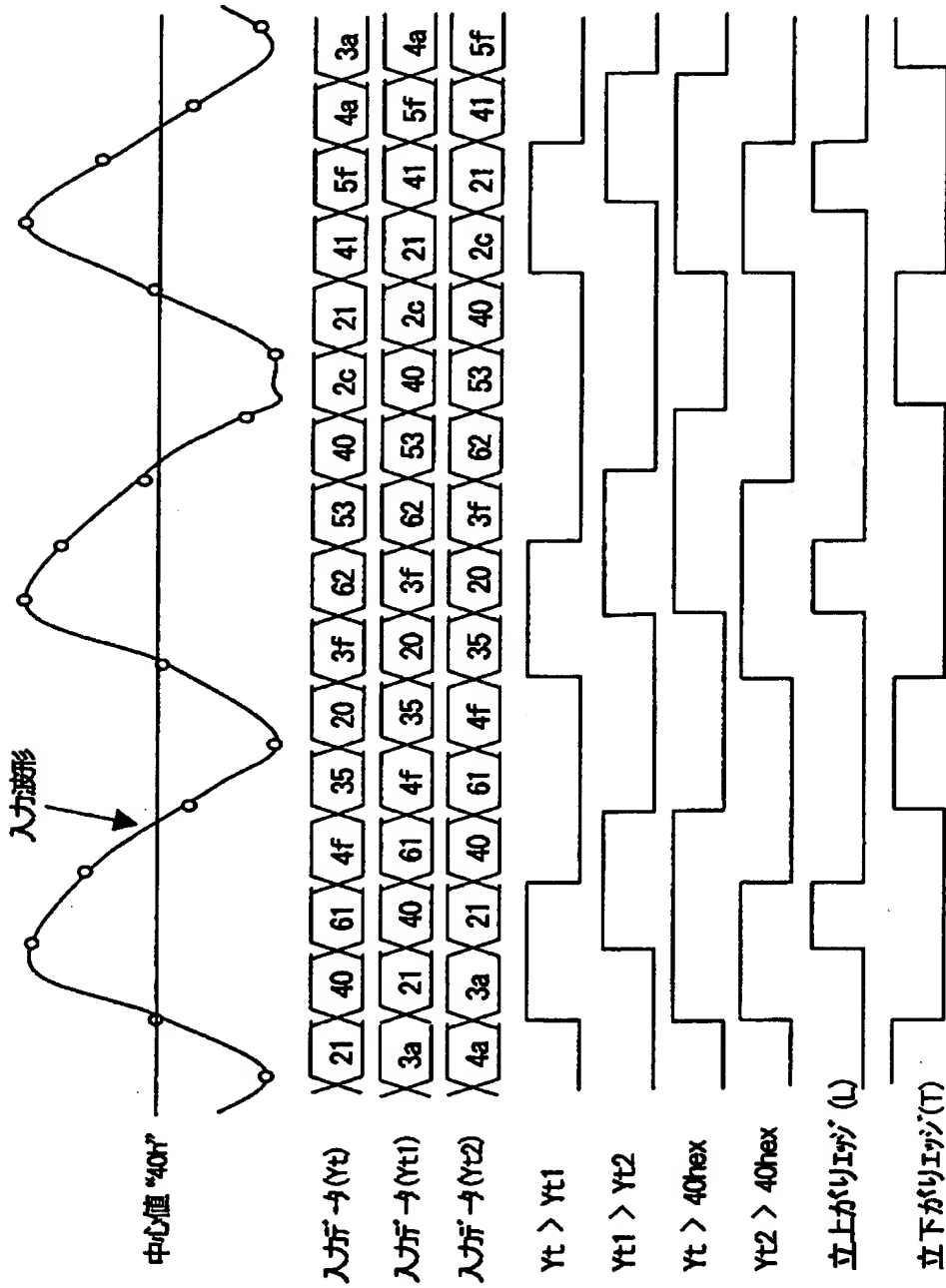
【図 7】

エッジ検出回路の構成例を示す図



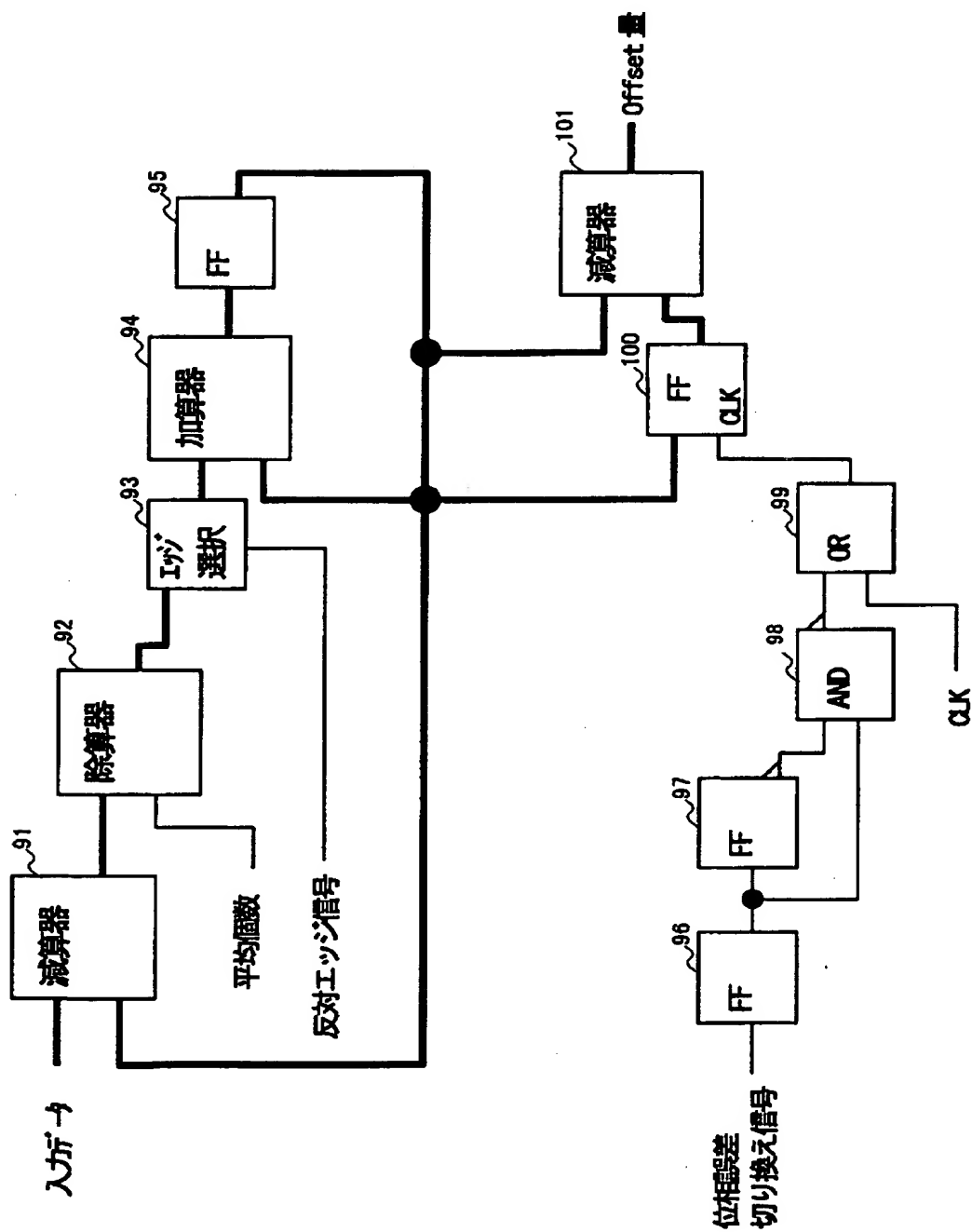
【図 8】

エッジ検出回路の動作例を示すタイミングチャート



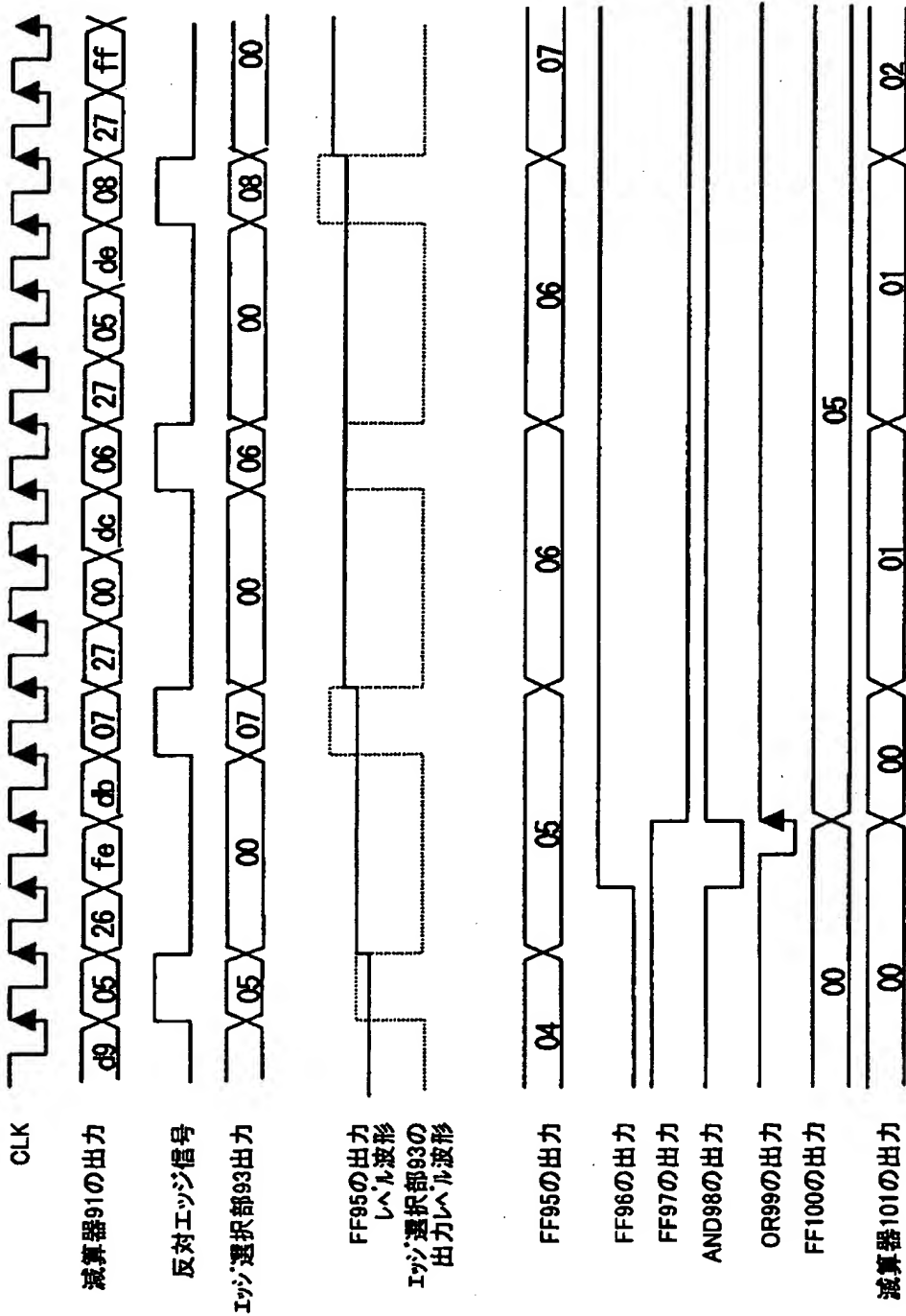
【図 9】

オフセット検出回路の構成例を示す図



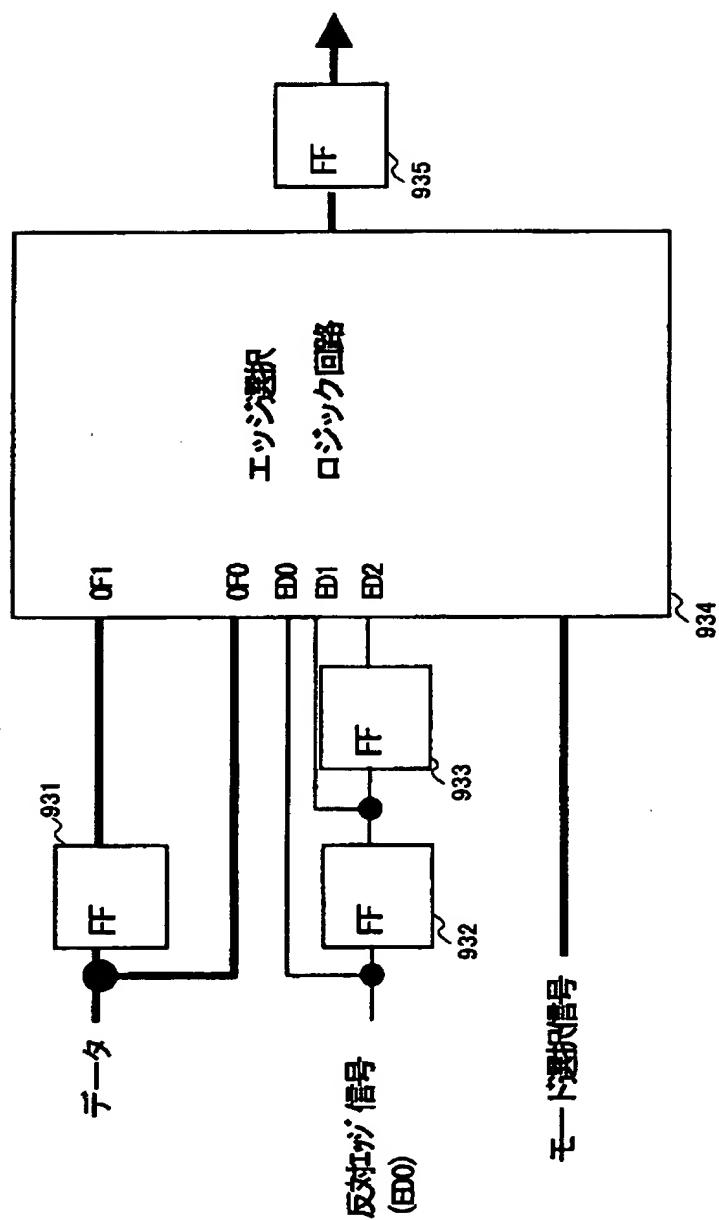
【図10】

オフセット回路の動作例を示すタイミングチャート



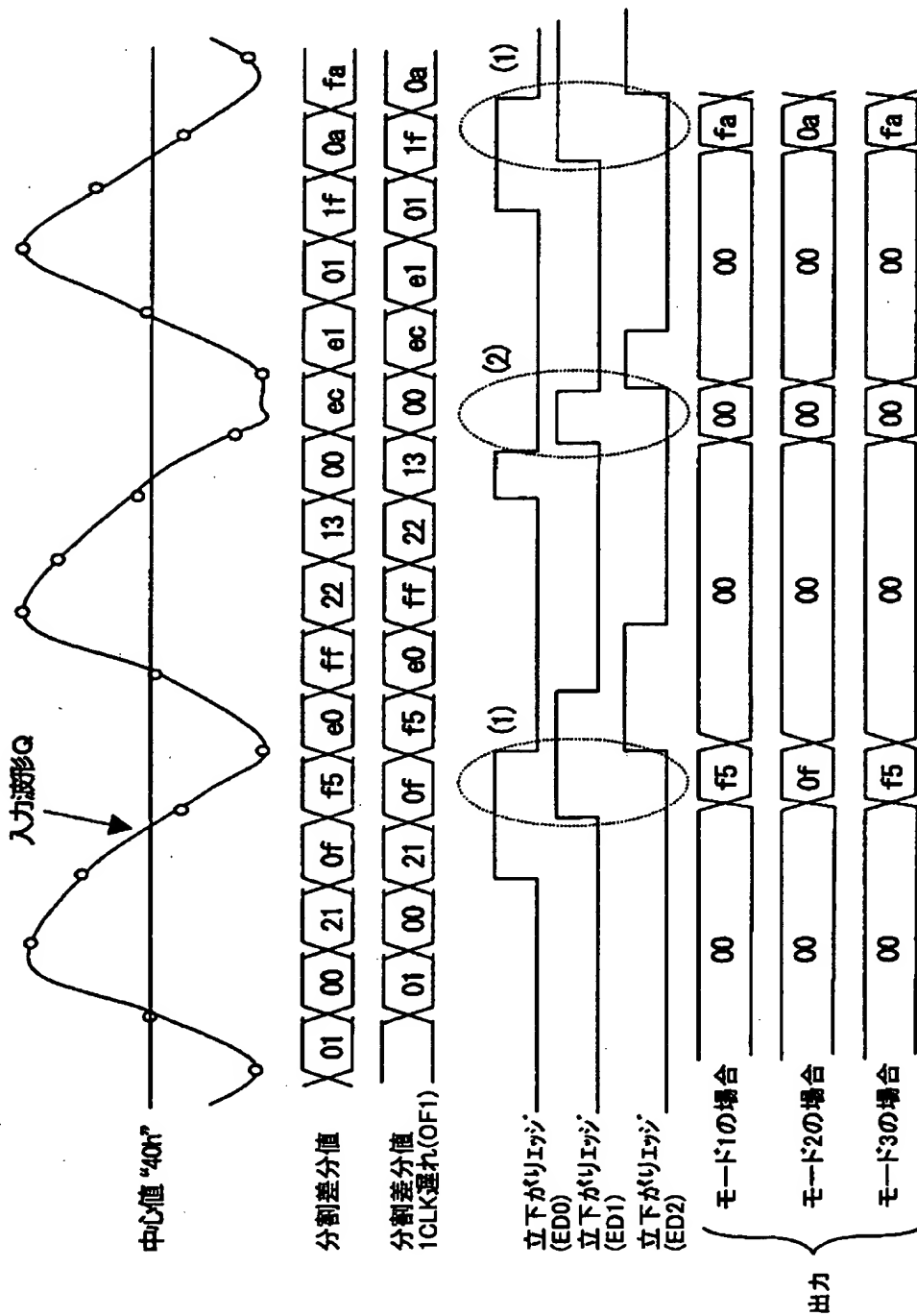
【図 1 1】

エッジ選択回路の構成例を示す図



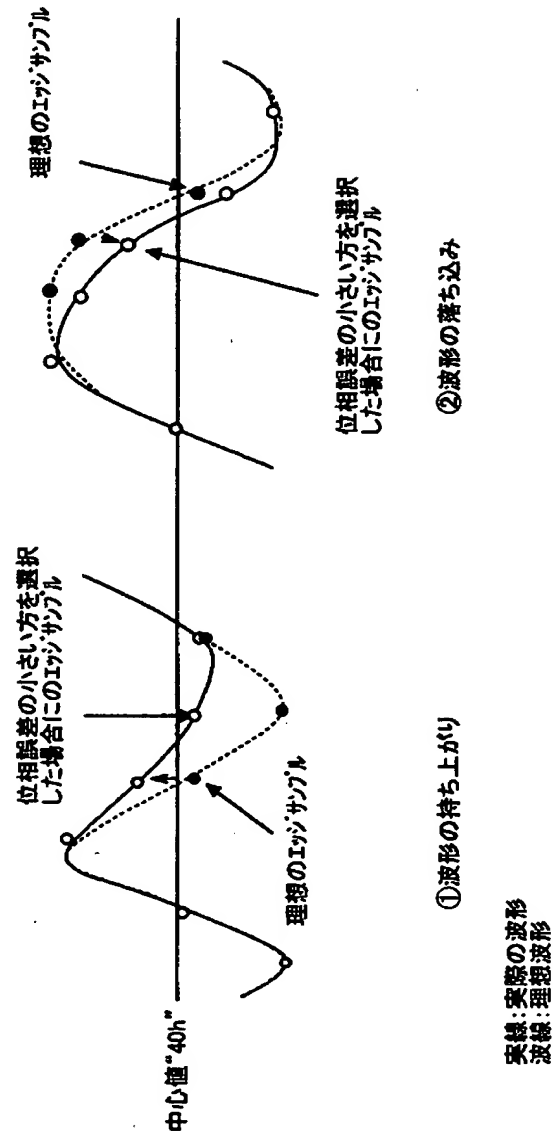
【図12】

エッジ選択回路の動作例を示すタイミングチャート



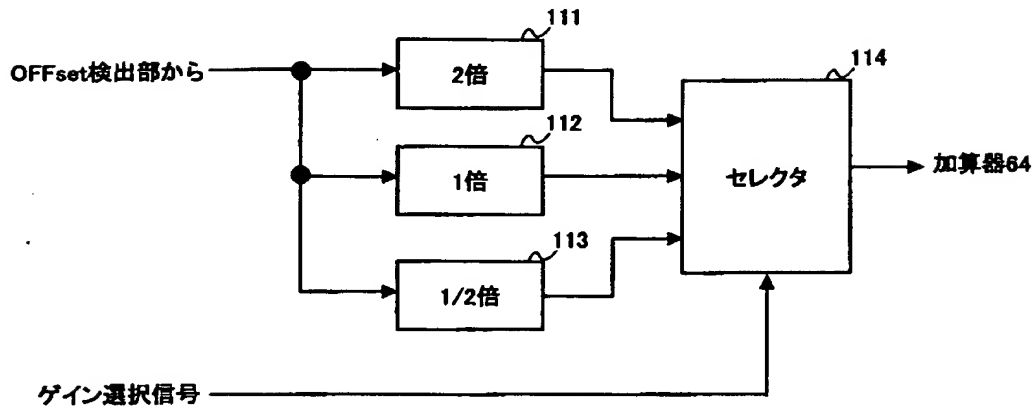
【図13】

再生信号の波形歪みとサンプリング値との関係を示す図



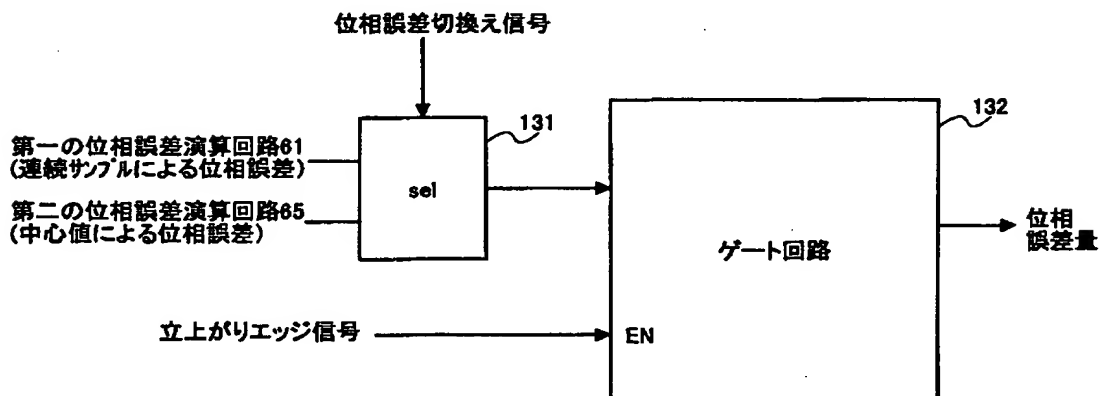
【図 1 4】

ゲイン調整回路の構成例を示す図



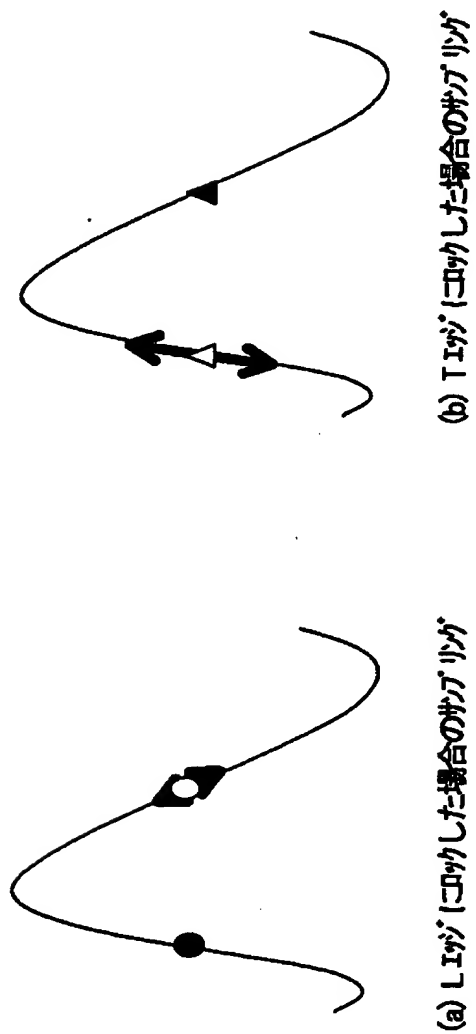
【図 1 5】

出力制御回路の構成例を示す図



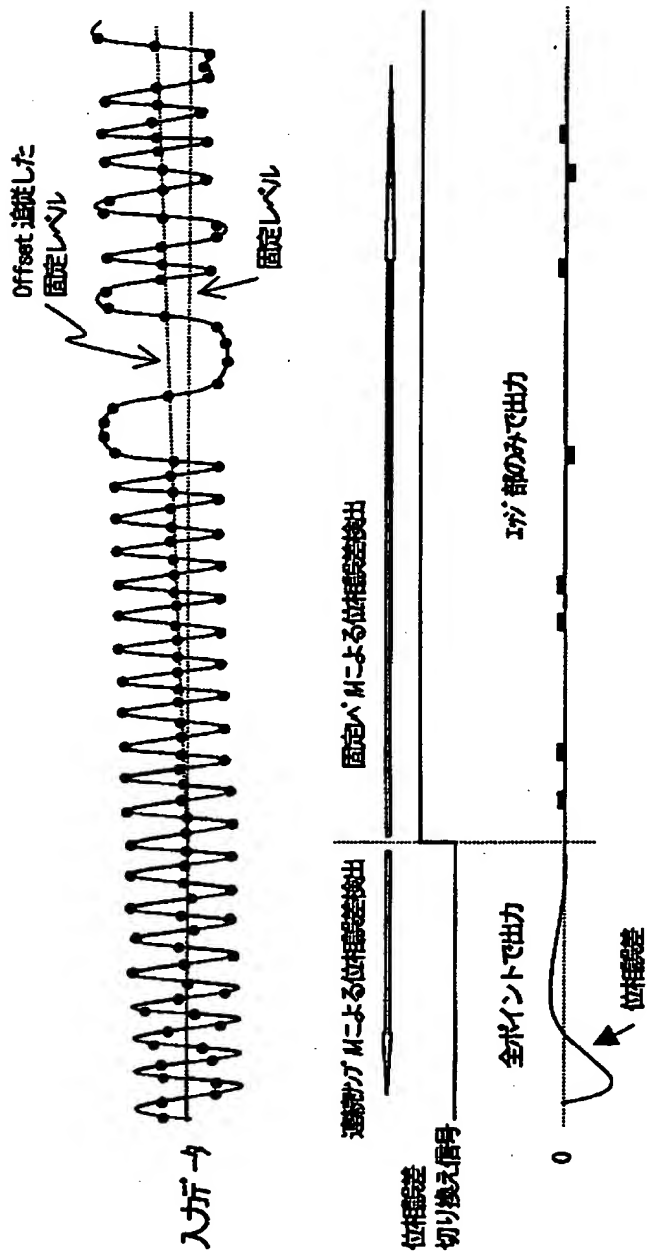
【図16】

再生信号の波形歪みとサンプリング値との関係を示す図



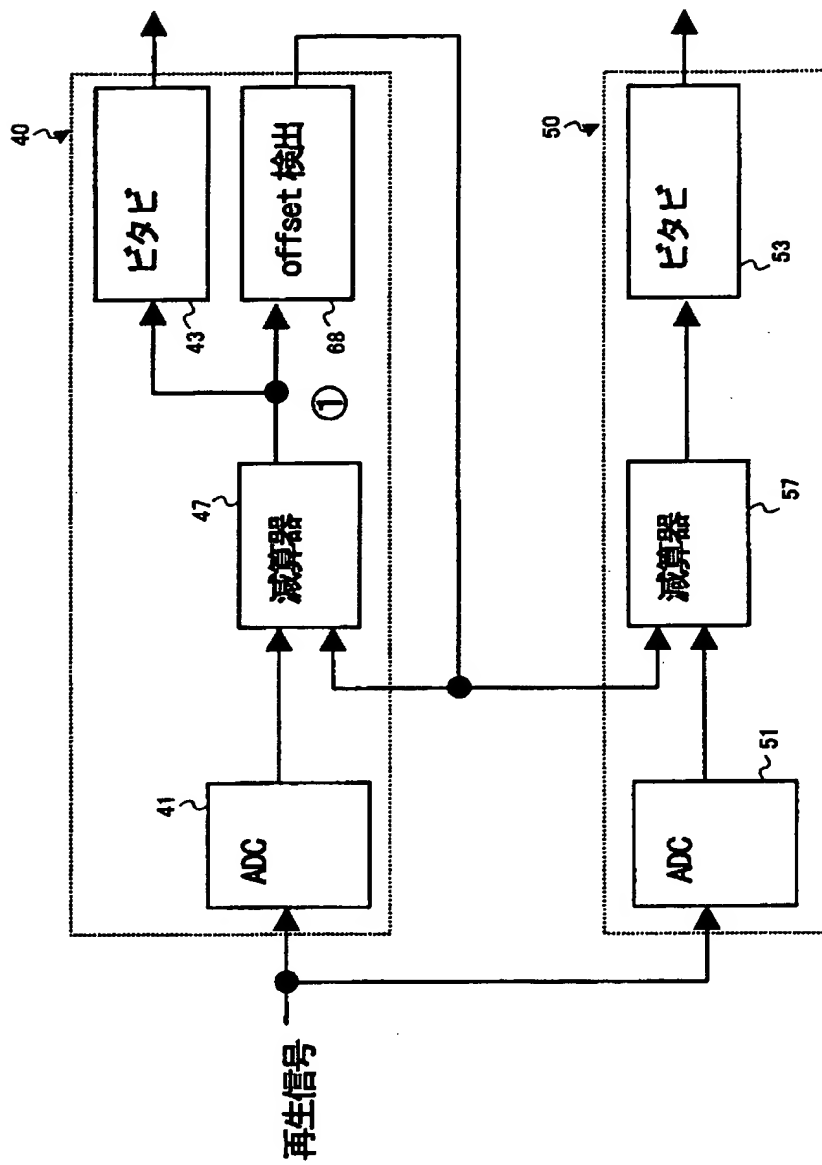
【図 17】

使用すべき位相誤差の切換えタイミングの一例を表すタイミングチャート



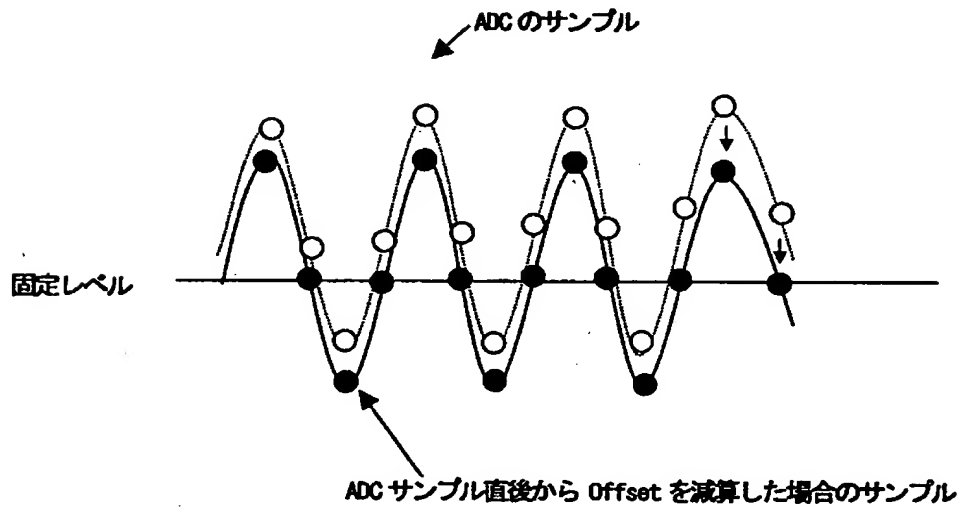
【図 18】

オフセット検出回路の他の適用例を示す図



【図19】

サンプリング値のオフセット調整の状態例を示す図



【書類名】 要約書

【要約】

【課題】 本発明の課題は、安定した位相調整を行なうことのできるクロック調整装置を提供することである。

【解決手段】 基準レベルを基準にした再生信号の立上がりエッジでのサンプリング値の状態に基づいてクロックの位相誤差量を検出する位相誤差検出手段と、オフセット量に基づいて上記位相誤差量検出手段にて用いられる基準レベルを調整する基準レベル調整手段と、その位相誤差量に基づいてクロックの位相調整を行位相調整手段とを有し、上記オフセットの検出手段は、再生信号の立下りエッジでのサンプリング値に基づいて監視エッジサンプリング値を生成する監視サンプリング値生成手段と、所定タイミングにて得られる監視エッジサンプリング値を基準とした順次生成される監視エッジサンプリング値の変化量をオフセット量として演算するオフセット演算手段とを有するクロック調整装置。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [592019877]

1. 変更年月日	1999年 9月22日
[変更理由]	住所変更
住 所	兵庫県加東郡社町佐保35番
氏 名	富士通周辺機株式会社